

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toshiro NAKAZURU et al.

Application No.: To be Assigned

Group Art Unit: To be Assigned

Filed: August 22, 2003

Examiner: To be Assigned

For: FOURIER TRANSFORM APPARATUS

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

The applicants submit herewith a certified copy of the following priority Document:

Patent Application No. PCT/JP01/01509


Filed: February 28, 2001

It is respectfully requested that the applicants be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto.

Respectfully submitted,

STAAS & HALSEY LLP

Date: Aug 22, 2003

By: 
Gene M. Garner, II
Registration No. 34,172

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2001年 2月28日

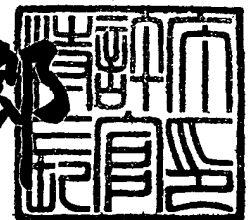
出 願 番 号
Application Number: PCT/JPO1/01509

出 願 人
Applicant (s): 富士通株式会社
中水流 敏朗
奥谷 茂明
森田 昇

2003 年 7 月 10 日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証平 15-500183

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2001年02月28日（28.02.2001）水曜日 13時51分20秒

TS01-001

0	受理官庁記入欄	
0-1	国際出願番号.	PCT/JP01/01509
0-2	国際出願日	28.02.01
0-3	(受付印)	PCT International Application 日 本 国 特 許 庁
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	TS01-001
I	発明の名称	フーリエ変換装置
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	富士通株式会社
II-4cn	Name	FUJITSU LIMITED
II-5ja	あて名:	211-8588 日本国 神奈川県 川崎市 中原区上小田中4丁目1番1号
II-5cn	Address:	1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP



III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 中水流 敏朗 NAKAZURU, Toshiro 211-8588 日本国 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 c/o FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan 日本国 JP 日本国 JP
III-1-1	この欄に記載した者は	
III-1-2	右の指定国についての出願人である。	
III-1-4ja	氏名(姓名)	
III-1-4en	Name (LAST, First)	
III-1-5ja	あて名:	
III-1-5en	Address:	
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP
III-2	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 奥谷 茂明 OKUTANI, Shigeaki 211-8588 日本国 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 c/o FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan 日本国 JP 日本国 JP
III-2-1	この欄に記載した者は	
III-2-2	右の指定国についての出願人である。	
III-2-4ja	氏名(姓名)	
III-2-4en	Name (LAST, First)	
III-2-5ja	あて名:	
III-2-5en	Address:	
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP

III-3 III-3-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-3-2 III-3-4ja III-3-4en III-3-5ja	右の指定国についての出願人である。 氏名(姓名) Name (LAST, First) あて名:	森田 昇 MORITA, Noboru 211-8588 日本国 神奈川県 川崎市 中原区上小田中4丁目1番1号 富士通株式会社内 c/o FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
III-3-5en	Address:	
III-3-6 III-3-7	国籍(国名) 住所(国名)	日本国 JP 日本国 JP
IV-1 IV-1-1ja IV-1-1en IV-1-2ja	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。 氏名(姓名) Name (LAST, First) あて名:	代理人 (agent) 石戸 久子 ISHIDO, Hisako 143-0023 日本国 東京都 大田区 山王2-1-8 山王アーバンライフ317・318号室 Nos. 317&318, Sanno Urban Life 1-8, Sanno 2-chome, Ota-ku, Tokyo 143-0023 Japan
IV-1-2en	Address:	
IV-1-3 IV-1-4 IV-1-5	電話番号 ファクシミリ番号 電子メール	03-3775-5391 03-3775-5382 hisako@orionpatent.com
IV-2 IV-2-1ja IV-2-1en IV-2-2ja	その他の代理人 氏名(姓名) Name (LAST, First) あて名:	代理人 (agent) 赤澤 日出夫 AKAZAWA, Hideo 143-0023 日本国 東京都 大田区 山王2-1-8 山王アーバンライフ317・318号室 Nos. 317&318, Sanno Urban Life 1-8, Sanno 2-chome, Ota-ku, Tokyo 143-0023 Japan
IV-2-2en	Address:	
IV-2-3 IV-2-4 IV-2-5	電話番号 ファクシミリ番号 電子メール	03-3775-5391 03-3775-5382 akazawa@orionpatent.com
V V-1	国の指定 広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	--

特許協力条約に基づく国際出願願書

TS01-001

原本（出願用） - 印刷日時 2001年02月28日（28.02.2001）水曜日 13時51分20秒

V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	JP US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて 、規則4.9(b)の規定に基づき、 特許協力条約のもとで認められ る他の全ての国の指定を行う。 ただし、V-6欄に示した国の指 定を除く。出願人は、これらの 追加される指定が確認を条件と していること、並びに優先日から 15月が経過する前にその確認 がなされない指定は、この期間 の経過時に、出願人によって取 り下げられたものとみなされる ことを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI	優先権主張	なし (NONE)	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	5	-
VIII-2	明細書	39	-
VIII-3	請求の範囲	3	-
VIII-4	要約	1	ts01-001y.txt
VIII-5	図面	13	-
VIII-7	合計	61	
VIII-8	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-9	別個の記名押印された委任状	✓	-
VIII-10	包括委任状の写し	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当す る特許印紙を貼付した書 面	-
VIII-17	その他	国際事務局の口座への振 込を証明する書面	-
VIII-18	要約書とともに提示する図の 番号	1	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	石戸 久子	
IX-2	提出者の記名押印		
IX-2-1	氏名(姓名)	赤澤 日出夫	
受理官庁記入欄			
10-1	国際出願として提出された書 類の実際の受理の日	28.02.01	

特許協力条約に基づく国際出願願書

TS01-001

原本（出願用） - 印刷日時 2001年02月28日（28.02.2001）水曜日 13時51分20秒

10-2	図面：	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

フーリエ変換装置

技術分野

- 5 本発明は、離散フーリエ変換を高速に行うフーリエ変換装置に関し、特に、フーリエ変換装置を前段と後段の2つのステージに分け、各段には同数の基数2フーリエ変換パイプライン（基数2パイプラインFFT）を配置して構成するフーリエ変換装置に関するものである。

10 背景技術

- $M(2^m)$ ：以下 2^{**m} と記す）点基数2パイプラインFFTは、データ並べ換えと演算とからなるステージ m 段からなる演算パイプラインとして知られており、詳しくは、例えば文献『THEORY AND APPLICATION OF DIGITAL SIGNAL PROCESSING by Lawrence R. Rabiner, Bernard Gold, published by PRENTICE HALL』の604
15 頁の『Radix 2 Pipeline FFT』の項に説明されている。

- フーリエ変換において変換点数が $N=L \times M$ と分解できる場合、FFTの原理に従って L 点FFT操作を M 回行い、得られたデータ N 個に対して捻り係数乗算をした後、 M 点FFT操作を L 回行うことによりフーリエ変換を行うことができるが、このように、 N 点フーリエ変換を分解して行うことを利用してパイプライン
20 を構成する方法が幾つか開示されている。

 その1つは、変換点数 N が $N=L \times L$ と表現できる場合、 L 点並列型フーリエ変換回路（入出力が変換点数 L に等しい）を前段と後段に配置し、データ供給の為にコーナターナと呼ばれるデータ並べ換え回路をそれぞれ各 L 点並列型フーリエ変換回路の前に配置するというものである。

- 25 また、変換点数 N が $N=L \times M$ （ $L=P \times M$ 、但し P は1より大きい整数）の場合も同様な構成をとることができ、いずれも並列幅は L となる。

 なお、コーナターナは2次元データを行列とみた時、転置して出力する回路である（特開昭59-087575号公報参照）。

 また、他の1つは変換点数 N が $N=(2^{**m}) \times A$ と表現できる場合、前段

に2並列入出力 $2 \times m$ 点、基数2パイプラインFFT回路をA個並列配置し、後段にA点並列型フーリエ変換回路（パイプライン幅A点）を2個並列配置するというものである。この場合の全体の並列幅は $2 \times A$ となる。

5 上述したフーリエ変換装置において、並列型フーリエ変換回路を前段、後段に配置する構成法では、入力並列点数乃至はパイプライン幅がフーリエ変換点数Nの平方根以上の値となり、変換点数Nの平方根より小さいパイプライン幅がえられないという欠点がある（特許昭63-36553号公報参照）。

10 他の1つの前段に2並列入出力基数2のパイプラインFFT回路を複数、後段に並列型フーリエ変換回路を2個並列配置する構成法は、入力並列点数乃至はパイプライン幅をフーリエ変換点数にはあまり左右されことなく決めることができる。しかし、後段の並列型フーリエ変換回路の入力並列度乃至は変換点数は前段に配置する2並列入出力基数2のパイプラインFFTの個数A（即ち装置のパイプライン幅の半分）となる為、装置のパイプライン幅が大きい場合、後段の並列型フーリエ変換回路が空間的な並列性の為にピンネックになり実装上実現が困難になるという欠点がある（特開平4-245562号公報参照）。

本発明は、上述した事情に鑑みてなされたものであり、装置のパイプライン幅が各段の個々のパイプラインFFT回路の変換点数に依存することがないフーリエ変換装置を得ることを目的としている。

20 発明の開示

上述した課題を解決するため、本発明は、離散フーリエ変換を行うフーリエ変換装置であって、最大変換点数を $M (= 2 \times m, m \geq 2)$ 点とする2並列入出力、基数2のパイプラインFFT回路を最大変換点数Mの約数に相当する個数a個有する前段の変換手段と、前記前段の変換手段に入力データを第1の所定の順に従って供給する第1のデータ供給手段と、前記前段の変換手段と同数の2並列入出力M点、基数2のパイプラインFFT回路を有する後段の変換手段と、前記後段の変換手段に入力データを第2の所定の順に従って供給する第2のデータ供給手段と、前記前段の変換手段と前記後段の変換手段との間に設けられ、捻り係数を乗算する捻り係数乗算手段とを備えてなることを特徴とするものである。

本装置は第 1 図にその一例が示されている。

また、本発明のフーリエ変換装置において、前記第 1 のデータ供給手段は、2
バンク構成とされた第 1 のメモリ回路と、前記第 1 のメモリ回路のバンクを切換
え、入力データを交互に順次 M 個毎書き込む書き込み手段と、前記第 1 のメモリ
5 回路の 2 つのバンクの対応する位置のデータを同時に読み出し、前記前段の変換
手段に供給する読み出し手段とを備えてなることを特徴とするものである。本装
置は、第 2 図にその一例が示されている。

更に、本発明のフーリエ変換装置において、前記第 1 のデータ供給手段は、デ
ータを所定の順に並べ換える第 1、第 2 のデータ並べ換え部を 2 段階に備えて構
10 成され、前記第 1、第 2 のデータ並べ換え部がデータを記憶する夫々第 2、第 3
のメモリ回路と、前記第 2、第 3 のメモリ回路の夫々の所定の論理に従う読み出
し又は書き込みアドレス生成回路と、前記第 2、第 3 のメモリ回路より読み出さ
れたデータを夫々並べ換えるコーナターナとを備え、前記第 2 のデータ供給手段
は、第 3 のデータ並べ換え部を備えて構成され、データを記憶する第 4 のメモリ
15 回路と、該第 4 のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス
生成回路と、前記第 4 のメモリ回路より読み出されたデータを並べ換えるコーナ
ターナとを備えてなることを特徴とするものである。本装置は第 4 図、第 5 図に
その一例が示されている。

また、本発明のフーリエ変換装置において、前記前段及び後段の変換手段が有
20 するパイプライン F F T 回路の個数 a が 2 の場合、前記第 1 のデータ供給手段は、
第 4、第 5 のデータ並べ換え部を 2 段階に備えて構成され、夫々のデータ並べ換
え部がデータを記憶する第 5、第 6 のメモリ回路と、前記第 5、第 6 のメモリ回
路の夫々の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第
5 のメモリ回路より読み出されたデータを並べ換えるコーナターナとを備え、前
25 記第 2 のデータ供給手段は、第 6 のデータ並べ換え部を備えて構成され、デー
タを記憶する第 7 のメモリ回路と、該第 7 のメモリ回路の所定の論理に従う読み
出し又は書き込みアドレス生成回路とを備えてなることを特徴とするものである。
本装置は例えば第 4 図及び第 5 図においてコーナターナ 3 2 4 を省略したものに
相当する。

さらに、本発明のフーリエ変換装置において、前記前段及び後段の変換手段が有するパイプラインFFT回路の個数 a が1の場合、前記第1のデータ供給手段は、第7、第8のデータ並べ換え部を備えて構成され、前記第7のデータ並べ換え部は、データを記憶する第8のメモリ回路と、該第8のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第8のメモリ回路より読み出されたデータを並べ換えるパラレルインシリアルアウト回路とを備え、前記第8のデータ並べ換え部は、記憶時には M 個ずつのデータを交互に書き込み読み出し時には対応する M 点データ組の対応するデータを同時に読み出せるように各々が2つのバンクから構成された第9のメモリ回路と、該第9のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路を備え、前記第2のデータ供給手段は、記憶時には M 個ずつのデータを交互に書き込み、読み出し時には対応する M 点データ組の対応するデータを同時に読み出せるように各々が2つのバンクから構成された第10のメモリ回路と、該第10のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路からなることを特徴とするものである。本装置は例えば第8図、第9図にその一例が示される。

また、本発明は、上述のフーリエ変換装置を2の巾乗個並列配置し、時系列入力データを最大フーリエ変換点数 $N (=M \times M)$ 個ずつ各フーリエ変換装置に割当て、それらの連続した M 点データの組を各組2並列で a 組ずつ合計 $2a$ 並列で各フーリエ変換装置に供給するデータ分配・並べ換え手段を備えてなることを特徴とするものである。本装置は発明を実施するための最良の形態における（並列配置）の部分で説明される。

更に、本発明のフーリエ変換装置において、前記データ分配・並べ換え手段は、並列配置するフーリエ変換装置分のデータを記憶する第11のメモリ回路と、該第11のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第11のメモリ回路より読み出されたデータを並べ換え、並列配置された前記フーリエ変換装置のそれぞれにデータを並列に出力するコーナターナとを備えてなることを特徴とするものである。本装置は第12図にその一例が示されている。

また、本発明のフーリエ変換装置は、前記前段及び後段の変換手段による演算

をバイパスさせるためのバイパス手段を備えたことを特徴とする。本装置は発明を実施するための最良の形態におけるバイパス処理において説明されている。

なお、各メモリ回路をダブルバッファメモリとすることにより、処理を容易に高速化することができる。

- 5 そして、上述したように、本発明は、装置を前段及び後段の2つのステージに分け、各段に同数の2並列入出力のM点、基数2パイプラインFFT回路（パイプライン幅は2）を配置して、 $M \times M$ 点のフーリエ変換を行うようにする。並列配置するパイプラインFFT回路の個数aで全体のパイプライン幅を調節するようにする。但し、 $M = 2^m$ であり、個数aはMの約数とすると、各パイプラインFFT回路が担当するM点のフーリエ変換は $(M \div a)$ 組ずつとなり、データ分配等の制御が容易となる。
- 10

個々の2並列入出力基数2パイプラインFFT回路はパイプライン幅は高々2であり、この中での信号の錯綜は少なく、実装的にピンネックになることはない。但し、この為にデータを供給する為のデータ並べ換え手段が各段に必要となる。

- 15 なお、前段の2並列入出力のM点、基数2パイプラインFFT回路のパイプラインステージを先頭からその演算のみを順にバイパスすることによってフーリエ変換点数を半分ずつにすることができるので同じ装置構成でモード設定変更等により、全体として $M \times M$ 、 $(M/2) \times M$ 、 \dots 、 $2 \times M$ 点の変換を行うことができる。

20

図面の簡単な説明

第1図は、本発明のフーリエ変換装置を示すブロック図である。

第2図は、前段のデータ並べ換え部の第1例のブロック図である。

第3図は、第1リードアドレス生成回路の例を示すブロック図である。

- 25 第4図は、aが2以上の場合の前段のデータ並べ換え部を示すブロック図である。

第5図は、aが2以上の場合の後段のデータ並べ換え部を示すブロック図である。

第6図は、第2リードアドレス生成回路を示すブロック図である。

第7図は、第3リードアドレス生成回路を示すブロック図である。

第8図は、 a が1の場合の前段のデータ並べ換え部を示すブロック図である。

第9図は、 a が1の場合の後段のデータ並べ換え部を示すブロック図である。

第10図は、 a が1の場合の第4リードアドレス生成回路を示すブロック図である。

第11図は、 a が1の場合の第5リードアドレス生成回路を示すブロック図である。

第12図は、データ分配・並べ換え部の構成を示すブロック図である。

第13図は、 a が2以上の場合における第6リードアドレス生成回路を示すブロック図である。

第14図は、 a が1の場合の第6リードアドレス生成回路を示すブロック図である。

第15図は、64点FFTを示すブロック図である。

第16図は、64点FFTの前段のデータ並べ換え部を示すブロック図である。

第17図は、64点FFTの後段のデータ並べ換え部を示すブロック図である。

発明を実施するための最良の形態

図1は本発明の実施の形態の基本構成図を示すブロック図である。図1に示すFFT100は前段Aと後段Bから構成され、前段及び後段の変換回路として a 個の2並列入出力M点、基数2のパイプラインFFT回路1、2、それぞれ各パイプライン回路1、2にデータを供給する第1、第2のデータ供給手段としてのそれぞれ前段及び後段データ並べ換え部3、4、及び後段データ並べ換え部4の直後に設けられ、捻り係数乗算用の $2a$ 個の複素乗算回路5及び捻り係数を記憶した係数メモリ6を有する捻り係数乗算部7を備えている。なお、捻り係数の供給順番を変更することにより、捻り係数乗算部7を後段データ並べ換え部4の直前に設けるようにしても良い。

(前段データ並べ換えの方法1)

第2図は前段のデータ供給手段としての前段データ並べ換え部の第1の例(方

法 1) を示すブロック図であり、第 2 図のデータ並べ換え部 3 A において、バッファメモリ 3 0 1 は、書き込み・読み出しの同時アクセスの為のダブルバッファリング構成を有すると共に、読み出しに於いては 2 つの異なる組に属するデータ群を同時に読み出せるようにバンク 3 0 1 A, 3 0 1 B を有する 2 バンク構成と
5 されている。以下、本明細書において、単にバッファメモリまたはメモリと記した場合もダブルバッファメモリを意味することとする。入力データはライトアドレス回路 3 0 2 により、順次 M 個毎に交互にバンクを切り換えて書き込まれる。読み出しに於いては、第 1 リードアドレス生成回路 3 0 3 により、2 つのバンクの対応する位置のデータを同時に読出すことによって、M 個おきのデータを 2 個
10 ずつ、即ち 2 並列で得ることができる。

(前段のデータ並べ換えの方法 2)

第 4 図、第 8 図は前段のデータ供給手段としてのデータ並べ換え部の第 2 の例(方法 2) を示すブロック図であり、第 4 図は a が 2 以上の場合、第 8 図は a が 1 の場合の好適例を示している。第 4 図、第 8 図それぞれに示すデータ並べ換え部 3 B は前半部と後半部の 2 段階構成を持ち、前半部の第 1 データ並べ換え回路
15 3 1 0, 3 3 0 で先ず時系列の並列データから M 個単位にまとまったデータ列を各 2 並列入出力 M 点、基数 2 のパイプライン F F T 回路対応、即ち、a 列縦隊(各 M 個単位内では 2 列縦隊になるように)に生成し、後半部の第 2 データ並べ換え回路 3 2 0, 3 4 0 では前半部で生成された M 個を単位とした a 列縦隊に整
20 列したブロックからデータを 1 つずつ取ってくることによって時系列データとしてみた時に M 個おきとなる M 個のデータの組が得られように並べ換えを行うものである。

(前段データ並べ換えの方法 2 : $a \geq 2$ の場合)

まず、 $a \geq 2$ の場合、即ち第 4 図に示されるように、各段のパイプライン F F T の個数が 2 個以上の場合、前半部を構成する第 1 データ並べ換え回路 3 1 0 は
25 メモリとコーナターナから構成され、メモリは入力データ幅に相当するデータ点数の入出力幅を持つ記憶手段であるバッファメモリ 3 1 1 とライトアドレス生成回路 3 1 2 及び第 2 リードアドレス生成回路を持ち、コーナターナ 3 1 4 は奇数番、偶数番入力データに対応して 2 組 3 1 4 a, 3 1 4 b から構成されている。

前段のデータ並べ換え部の後半部を構成する第2データ並べ換え回路320は、前半の第1データ並べ換え回路310と同様、メモリとコーナターナから構成され、メモリは変換部のパイプライン幅に相当するデータ点数の入出力幅を持つ記憶手段であるバッファメモリ321とライトアドレス生成回路322及び第3リードアドレス生成回路323を持ち、コーナターナ324はメモリの出力ライン並びの先頭ラインから3つおきのライン出力のデータ群、3番目のラインから3つおきのライン出力のデータ群、2番目のラインから3つおきのライン出力のデータ群、4番目のラインから3つおきのライン出力のデータ群をそれぞれ入力して並べ換える4組324a～324dから構成されている。

- 5 10 特に、 $a=2$ の場合、コーナターナへの入力は1データのみとなるので、何の操作も不要となって、コーナターナの為の回路は不要となり、メモリからのデータの単なるルーティングとなる。

(前段データ並べ換え方法2： $a=1$ の場合)

- 15 又 $a=1$ の場合、即ち各段のパイプラインFFTの個数が1個の場合、第8図のように前段のデータ並べ換え部3Cにおける前半部の第1データ並べ換え回路330は、メモリとコーナターナから構成され、メモリは入力データ幅に相当するデータ点数の入出力幅を持つ記憶手段としてのバッファメモリ331とライトアドレス生成回路332及び第4リードアドレス生成回路333を持ち、コーナターナは奇数番、偶数番入力データに対応して2組のパラレルイン・パラレルアウト334a、334bから構成されている。

- 20 後半部の第2データ並べ換え回路340は、読み出しにおいて2つの異なるデータ群を同時に読み出せるように2バンク341A、341B構成のバッファメモリからなり、それぞれライトアドレス生成回路342及び第5リードアドレス生成回路343を有し、第2図に於いて $b=1$ 、 $a=1$ としたより簡単な場合となる。

(後段データ並べ換え方法)

図1に示した後段のデータ並べ換え部4は、 $a \geq 2$ の場合に第5図のように構成され、又 $a=1$ の場合に第9図のように構成される。すなわち、第5図、第9図に示される後段のデータ並べ換え部4A、4Bは、第4図、第8図で示した第

2 データ並べ換え回路（後半部）とそれぞれ同じ構成を持ち、ここでの説明を省略するが、前段のFFT出力をM個おきとなるように並べ換えを行ってM個のデータの組を得るようにする。

（動作説明）

- 5 次に実施の形態の動作について説明する。

先ず、前段の変換手段を構成するa個の個々の2並列入出力、基数2のパイプラインFFT回路1の変換点数が最大、即ち後段のa個の個々のパイプラインFFT回路の変換点数に等しい場合を扱い、最後に前段の変換点数がM未満即ち2

10 **p、（p=1～m-1）に対しても同じ装置構成を採れることについて説明する。

N点離散フーリエ変換に於いて

$$X(n) = \sum x(k) W^{**}(n \times k) \quad \text{----- (0)}$$

$$\text{但し、} W = \exp(-2\pi j / N)$$

$$n, k = 0 \sim N-1$$

- 15 変換点数N=M×M（但しM=2**m）と分解できる場合、インデックスを

$$n = M \times n_1 + n_0$$

$$k = M \times k_1 + k_0$$

$$\text{但し、} n_1, n_0 = 0 \sim M-1$$

$$k_1, k_0 = 0 \sim M-1$$

- 20 とおくと、離散フーリエ変換の式（0）は次のようになり、

$$M-1 \quad M-1$$

$$X(n_1, n_0) = \sum \sum x(k_1, k_0) \times W^{**}(n_0 \times k_1)$$

$$k_0 = 0, k_1 = 0$$

$$\times W^{**}(n_0 \times k_0) \times W^{**}(n_1 \times k_0)$$

- 25 但し、 $W^{**} = \exp(-2\pi j / M)$

以下のステップに分解できる；

$$X_1(n_0, k_0) = \sum x(k_1, k_0) \times W^{**}(n_0 \times k_1) \quad \text{----- (1)}$$

$$k_1 = 0 \sim M-1$$

$$X_2(n_0, k_0) = X_1(n_0, k_0) \times W^{**}(n_0 \times k_0) \quad \text{----- (2)}$$

$$X_3(n_0, n_1) = \sum_{k_0=0 \sim M-1} X_2(n_0, k_0) \times WM_{**}(n_1 \times k_0) \text{ --- (3)}$$

式(1)に於いて、 k_0 を固定すれば、これはM点のDFTの式であり、M点の
 5 基数2パイプラインFFT回路で処理することができる。 $k_0 = 0 \sim M-1$ である
 から、M組の別々なDFTを行うことを示す。これらはa個のM点の基数2パイ
 プラインFFT回路を用いて、aがMの約数とすると途切れることなく連続して
 処理することができる。

式(2)は、式(1)で得られたそれぞれに捻り係数を掛けるものであり、捻
 10 り係数乗算回路群で処理できる。式(3)に於いて、 n_0 を固定すれば、これはM
 点のDFTの式であり、M点の基数2パイプラインFFT回路で処理することが
 できる。 $n_0 = 0 \sim M-1$ であるから、M組の別々なDFTを行うことを示す。
 式(1)同様にa個のM点の基数2パイプラインFFT回路を用いて、aがMの
 約数とすると途切れることなく連続して処理することができる。

15 特に式(1)は、 $k = M \times k_1 + k_0$ なので、 k_0 がある値に固定され、 k_1
 が $0 \sim M-1$ の値を動くとする、シリアルに入力されるデータからM個おき
 にとってきてパイプラインに供給する必要があることを示しており、前段のデータ
 並び変え回路はこの操作を行う部分である。

また式(3)に於いて、 X_2 のインデックスは $M \times n_0 + k_0$ なので、 n_0 が
 20 ある値に固定され、 k_0 が $0 \sim M-1$ の値を動くとする、インデックスは連続
 値となる必要があり、前段の出力はインデックスに関してM跳びとなっているの
 で、得られた出力をインデックスに関して連続となるように並べ換えてパイプ
 ラインに供給する必要がある。即ち前段の出力並びからM個おきにとって供給する
 必要がある。後段のデータ並び変え部はこの操作を行う部分である。

25 以下に前段／後段のデータ並び換え部で行われる並び換え処理を説明する。時
 系列データ $\{x(t) : t = 0 \sim 2^{**}m-1\}$ は一般に 2^b 個ずつ並列入力さ
 れるとすると、各入力データラインの連続するデータをB個ずつ組みにし、これ
 らを各入力データライン横断的にまとめると、以下の表1のように、それぞれが
 M点データからなるM個の群に分けることができる。

(表 1)

	第 1 群	第 2 群	第 a+ 1 群	第 M 群
	入力データライン 1;			
5	$\{x(2bj)\}$ $j=0\sim B-1$	$\{x(M+2bj)\}$ $j=0\sim B-1$	$\{x(aM+2bj)\}$ $j=0\sim B-1$	$\{x((M-1)M+2bj)\}$ $j=0\sim B-1$
	入力データライン 2;			
	$\{x(2bj+1)\}$ $j=0\sim B-1$	$\{x(M+2bj+1)\}$ $j=0\sim B-1$	$\{x(aM+2bj+1)\}$ $j=0\sim B-1$	$\{x((M-1)M+2bj+1)\}$ $j=0\sim B-1$
10	入力データライン 3;			
	$\{x(2bj+2)\}$ $j=0\sim B-1$	$\{x(M+2bj+2)\}$ $j=0\sim B-1$	$\{x(aM+2bj+2)\}$ $j=0\sim B-1$	$\{x((M-1)M+2bj+2)\}$ $j=0\sim B-1$
			
	入力データライン 2b;			
15	$\{x(2bj+2b-1)\}$ $j=0\sim B-1$	$\{x(M+2bj+2b-1)\}$ $j=0\sim B-1$	$\{x(aM+2bj+2b-1)\}$ $j=0\sim B-1$	$\{x((M-1)M+2bj+2b-1)\}$ $j=0\sim B-1$

ここでは、上から順に第 1 入力データライン、・・・第 2 b データ入力ラインを示す。但し、 $B=M/2b$ で、並列度 2 b とした時の M 点データになるまでの
 20 入力カウント数、 $2b$ = 入力の並列度、従って M を割り切る必要があるので、b は 2 の巾乗、 a = 前段/後段各々パイプライン F F T 回路の数であり、M の約数でやはり 2 の巾乗である。

特に、前段データ並べ換え部については 1 段階で行う方法（方法 1）と、2 段階に分けて行う方法（方法 2）を示す。2 段階に分けて行う方法の後半部は後段
 25 の並べ換えと同じ構成となる。

（前段の並べ換え方法 1）

前段の並べ換えの方法 1 は上記の各群は時系列上連続した M 点データからなるデータ組なので、これら M 個の群の対応する位置のデータを 1 個ずつ集めれば、時系列的に M 点離れたデータ M 個からなるデータ組を得ることができる。しかし、

各パイプラインFFT回路は2並列入力となっているので2つのデータ群から同時に読み出してくる必要がある。同時アクセスができるようにメモリをバンクに分け、奇数番目の群、偶数番目の群それぞれ別バンクメモリに記憶する。

- 5 各バンクより順に各群の先頭より a 個ずつ読み出し、2つのバンク上の対応する位置同士のデータ2個ずつが1つのパイプラインFFTの2並列入力となる。通常 $2b \geq 2a$ であるので、 $2b \div a = c$ (但し c は2の巾乗) とすると各群の列データ $2b$ 個の内、同時に必要なのは、 a 個ずつなので、残りは捨てられ、従って各群の各列は c 回読み出されることになる (なお、 $2b < 2a$ の場合、入力データをデマルチプレクスして $2b = 2a$ と同じ扱いとすることができる)。

- 10 第2図に示した方法1における前段のデータ並べ換え部3Aは、 $2b$ 個ずつ並列入力されてくるデータをダブルバッファメモリのバンク301A、301Bの一方に、 M 個になる都度バンクを交互に切り換えながら $2b$ 個ずつ記憶し、他方のメモリの2つのバンクより同時にそれぞれ $2b$ 個ずつ読み出し、その $2b$ 個の内、必要な a 個をそれぞれ送出するものである。

- 15 第3図は、第1リードアドレス生成回路303の構成例を示すブロック図である。なお、メモリ素子構成によっては無駄な読み出しを避ける構成とすることもできる。

- 図中の群番号カウンタ3031 ($M/2$ カウンタ)、列番号カウンタ3032 (Bカウンタ) は上記並べ換え説明における群、群内の列のそれぞれの特定手段
20 であり、又行グループ番号カウンタ3033 (Cカウンタ) は列データ ($2b$ 個のデータからなる) 内の隣り合った a 個のデータの選択手段である。

- 列データの読み出しアドレスは群番号カウンタ3031、列番号カウンタ3032のビットをこの順に単に接続した構成である。行グループ番号カウンタ3033の値は列内の対象データ a 個の選択信号となる。群番号カウンタ3031の
25 キャリイで行グループ番号カウンタ3033を更新し、行グループ番号カウンタ3033のキャリイで列番号カウンタ3032が更新されるようにキャリイ接続して、各群の対応する位置にある a 個のデータ (即ち属する列が各群での位置が相対的に同じでかつ列内の位置も同じ) が時系列的に連続して読み出される。

(前段の並べ換え方法2: $a \geq 2$ の場合)

第2図に示した方法1は並べ換えを1段階で行うものであるが、第4図、第8図で示した方法2は2段階かけて並べ換えを行うものである。

まず $a \geq 2$ の場合、即ちパイプラインFFT回路の個数 a が2以上の場合について示し、その後 $a = 1$ の場合を示す。

- 5 上述したように、第1データ並べ換え回路310は、時系列上連続したM点データからなるデータ組M個を a 列縦隊になるようにデータを並べ換える。特に各データ組はその中では2列縦隊になっているように並べ換える。以下はその手順である。

- 10 M個の群は a 個ずつの群のクラスタ A 個に分け、次のように処理する。ここで、 $A = M / a$ であり、1つのFFT回路で処理するM点データ組の数である。

第1クラスタの各群のそれぞれ第1列の偶数インデックス（奇数番目）のデータ b 個からなる列、奇数インデックス（偶数番目）のデータ b 個からなる列を作り、奇数番データ、偶数番データについて、それぞれ $b \times a$ 行列とみて転置する。

- 15 第1クラスタの各群の第2列の奇数番目データ b 個からなる列、偶数番目データ b 個からなる列を作り、奇数番データ、偶数番データについて、それぞれ $b \times a$ 行列とみて転置し、第1列からの転置の横に配置する。以下同様にして第1クラスタの各群のそれぞれ第B列の奇数番目のデータ b 個からなる列、偶数番目のデータ b 個からなる列を作り、奇数番のデータ、偶数番のデータについて、それぞれ $b \times a$ 行列とみて転置し、第B-1列からの転置の横に配置する。奇数番目データより得られた大きさ $a \times b$ の行列 B 個から構成される $a \times (b * B)$ [= $a \times (M / 2)$] 行列の各行を奇数番のラインとし、偶数番目データより得られた大きさ $a \times (M / 2)$ 行列の各行を偶数番のラインとして下記の第1群が得られる。同様にして、第2クラスタの各群について行くと下記の第2群が得られ、以下同様にして最後は第Aクラスタから下記表2の第A群が得られる。

- 25 (表2)

第1群	第2	第3群	第A群
$\{x(2i)\}$	$\{x(aM+2i)\}$	$\{x(2aM+2i)\}$	$\{x(a(A-1)M+2i)\}$
$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$
$\{x(2i+1)\}$	$\{x(aM+2i+1)\}$	$\{x(2aM+2i+1)\}$	$\{x(a(A-1)M+2i+1)\}$

$$\begin{array}{l}
\begin{array}{cccc}
i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 \\
\{x(M+2i)\}, & \{x((a+1)M+2i)\}, & \{x((2a+1)M+2i)\}, & \{x([a(A-1)+1]M+2i)\} \\
i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 \\
5 \quad \{x(M+2i+1)\}, & \{x((a+1)M+2i+1)\}, & \{x((2a+1)M+2i+1)\}, & \{x([a(A-1)+1]M+2i+1)\} \\
i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 \\
\\
\{x(2M+2i)\}, & \{x((a+2)M+2i)\}, & \{x((2a+2)M+2i)\}, & \{x([a(A-1)+2]M+2i)\} \\
i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 \\
10 \quad \{x(2M+2i+1)\}, & \{x((a+2)M+2i+1)\}, & \{x((2a+2)M+2i+1)\}, & \{x([a(A-1)+2]M+2i+1)\} \\
i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 \\
\dots & & & \\
\{x((a-1)M+2i)\}, & \{x((2a-1)M+2i)\}, & \{x((3a-1)M+2i)\}, & \{x([a(A-1)+a-1]M+2i)\} \\
i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 \\
15 \quad \{x((a-1)M+2i+1)\}, & \{x((2a-1)M+2i+1)\}, & \{x((3a-1)M+2i+1)\}, & \{x([a(A-1)+a-1]M+2i+1)\} \\
i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1 & i=0 \sim M/2-1
\end{array}
\end{array}$$

実際には、以上のように並べ換えて第A群まですべてが得られるまで待つ必要はなく、奇数番目データb個からなる列、偶数番目データb個からなる列をメモリから読み出した後、各々b×a行列の転置操作して直ちに出力処理を開始することができる。

第4図に示した第1データ並べ換え回路310は、2b個ずつ並列入力されてくるデータをダブルバッファメモリ311の一方に2b個ずつ順次記憶しながら、他方のメモリより上記の読み出し順に従って2b個ずつ並列に読み出し、2組のコーナターナよりそれぞれa個ずつ合計2a個ずつ送出するものである。

第6図は第2リードアドレスの生成回路313の構成例である。図中の群クラスタ番号カウンタ3131（Aカウンタ）、群番号カウンタ3132（aカウンタ）、列番号カウンタ3133（Bカウンタ）は上記並べ換え説明におけるクラスタ、クラスタ内の群、群内の列のそれぞれの特定手段であり、アドレス313

4はこれらのビットをこの順に単に接続した構成である。

この第2リードアドレス生成回路313は、群番号カウンタ3132と列番号カウンタ3133のキャリイの接続先を入れ換えて群番号カウンタ3132のキャリイで列番号カウンタ3133が更新されるようにキャリイ接続となっているので、クラスタ内では各群の対応する位置にある列はその読み出しが時系列上連続となる。

次に前段の並べ換えの方法2の後半部、即ち、第2データ並べ換え回路320では、前半部（第1データ並べ換え回路310）の結果を基にa個のパイプラインFFT回路の入力になるように、時系列上M点離れたデータM個からなるデータ組を作る。即ちa列縦隊になるように並べ換える必要がある。各パイプラインFFT回路は2並列入力とするので、全体としては2a列縦隊となる。

第1データ並べ換え回路310で、時系列的に連続するM点データの組（組内は2列縦隊）がa列縦隊に編成されているので、この後、各組の対応する位置のデータを1個ずつ集めれば、時系列的にM点離れたデータM個からなるデータ組を得ることができる。組内は2列縦隊になっているので、群内の各列には連続M点データの同じ組に属するデータ点が2個含まれており、列が読み出しの単位とすると、2個のパイプラインFFTのデータが得られ、a個のパイプラインFFT回路の為には $a/2$ 列単位で読み出し処理すればよい。

各群は $a/2$ 列単位を1クラスタとするとA個のクラスタに分けられる（ $(M/2) \div (a/2) = A$ より）。

以下、各群はクラスタ単位に次のように処理される。

第1群の1番目のクラスタの列（ $i = 0 \sim a/2 - 1$ ）の各々について先頭から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、3番目から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、2番目から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、4番目から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個をそれぞれ $(a/2) \times (a/2)$ 行列とみて転置、第2群の1番目のクラスタの列の各々について先頭から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、3番目から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、2番目から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、4番目か

ら3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個をそれぞれ $(a/2) \times (a/2)$ 行列とみて転置し、第1群からの転置の横に配置する。

以下、同様にして第A群の1番目のクラスタの列の各々について先頭から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、3番目から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個、2番目から3つおきにとったデータ $a/2$ 5 個からなる列 $a/2$ 個、4番目から3つおきにとったデータ $a/2$ 個からなる列 $a/2$ 個をそれぞれ $(a/2) \times (a/2)$ 行列とみて転置し、第A-1群からの転置の横に配置する。このようにして得られた4個の $(a/2) \times (M/2)$ 行列について、順に第1の行列の各行を $4h+1$ ($h=0 \sim a/2-1$) 番のライン、第2の行列の各行を $4h+2$ ($h=0 \sim a/2-1$) 番のライン、第3の 10 行列の各行を $4h+3$ ($h=0 \sim a/2-1$) 番のライン、第4の行列の各行を $4h+4$ ($h=0 \sim a/2-1$) 番のラインとすることによって下記(表3)の第1群が得られる。

再び第1群の次のクラスタの列 ($i=a/2 \sim a-1$) の各々について同様にと 15 ってそれぞれ $(a/2) \times (a/2)$ 行列とみて転置、第2群について次のクラスタの列 ($i=a/2 \sim a-1$) の各々について同様にとってそれぞれ $(a/2) \times (a/2)$ 行列とみて転置し、第1群からの転置の横に配置する。以下同様にして第A群について次のクラスタの列 ($i=a/2 \sim a-1$) の各々について同様にとってそれぞれ $(a/2) \times (a/2)$ 行列とみて転置し、第A-1群からの 20 転置の横に配置する。このようにして得られた4個の $(a/2) \times (M/2)$ 行列について、順に第1の行列の各行を $4h+1$ ($h=0 \sim a/2-1$) 番のライン、第2の行列の各行を $4h+2$ ($h=0 \sim a/2-1$) 番のライン、第3の行列の各行を $4h+3$ ($h=0 \sim a/2-1$) 番のライン、第4の行列の各行を $4h+4$ ($h=0 \sim a/2-1$) 番のラインとすることによって下記の第2群が得 25 られる。以下同様にして第3群が得られる。

以下、同様な手順で第1群～第A群の最後のクラスタの列 ($i=(A-1)a/2 \sim Aa/2-1$ ($=M/2-1$)) を取りそれぞれ $(a/2) \times (a/2)$ 行列とみて転置し、同様にして4個の $(a/2) \times (M/2)$ 行列を構成し順に第1の行列の各行を $4h+1$ ($h=0 \sim a/2-1$) 番のライン、第2の行列の各行を4

$h+2$ ($h=0 \sim a/2-1$) 番のライン、第3の行列の各行を $4h+3$ ($h=0 \sim a/2-1$) 番のライン、第4の行列の $4h+4$ ($h=0 \sim a/2-1$) 番のラインとすることによって下記の第A群が得られる。

(表3)

5	第1群	第2群	...	第A群
	$\{x(2j*M+2*0)\}$	$\{x(2j*M+2*(a/2))\}$		$\{x(2j*M+2*(a/2(A-1)))\}$
	$\{x((2j+1)*M+2*0)\}$	$\{x((2j+1)*M+2*(a/2))\}$		$\{x((2j+1)*M+2*(a/2(A-1)))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$		$j=0 \sim M/2-1$
10	$\{x(2j*M+1+2*0)\}$	$\{x(2j*M+1+2*(a/2))\}$		$\{x(2j*M+1+2*(a/2(A-1)))\}$
	$\{x((2j+1)*M+1+2*0)\}$	$\{x((2j+1)*M+1+2*(a/2))\}$		$\{x((2j+1)*M+1+2*(a/2(A-1)))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$		$j=0 \sim M/2-1$
	$\{x(2j*M+2*1)\}$	$\{x(2j*M+2*(a/2+1))\}$		$\{x(2j*M+2*(a/2(A-1)+1))\}$
15	$\{x((2j+1)*M+2*1)\}$	$\{x((2j+1)*M+2*(a/2+1))\}$		$\{x((2j+1)*M+2*(a/2(A-1)+1))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$		$j=0 \sim M/2-1$
	$\{x(2j*M+1+2*1)\}$	$\{x(2j*M+1+2*(a/2+1))\}$		$\{x(2j*M+1+2*(a/2(A-1)+1))\}$
	$\{x((2j+1)*M+1+2*1)\}$	$\{x((2j+1)*M+1+2*(a/2+1))\}$		$\{x((2j+1)*M+1+2*(a/2(A-1)+1))\}$
20	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$		$j=0 \sim M/2-1$
	$\{x(2j*M+2*2)\}$	$\{x(2j*M+2*(a/2+2))\}$		$\{x(2j*M+2*(a/2(A-1)+2))\}$
	$\{x((2j+1)*M+2*2)\}$	$\{x((2j+1)*M+2*(a/2+2))\}$		$\{x((2j+1)*M+2*(a/2(A-1)+2))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$		$j=0 \sim M/2-1$
25	$\{x(2j*M+1+2*2)\}$	$\{x(2j*M+1+2*(a/2+2))\}$		$\{x(2j*M+1+2*(a/2(A-1)+2))\}$
	$\{x((2j+1)*M+1+2*2)\}$	$\{x((2j+1)*M+1+2*(a/2+2))\}$		$\{x((2j+1)*M+1+2*(a/2(A-1)+2))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$		$j=0 \sim M/2-1$
	...			

$$\begin{aligned} &\{x(2j \cdot M + 2 \cdot (a/2 - 1))\}, \quad \{x(2j \cdot M + 2 \cdot (a/2 + a/2 - 1))\}, \quad \{x(2j \cdot M + 2 \cdot (a/2(A-1) + a/2 - 1))\} \\ &\{x((2j+1) \cdot M + 2 \cdot (a/2 - 1))\}, \{x((2j+1) \cdot M + 2 \cdot (a/2 + a/2 - 1))\}, \{x((2j+1) \cdot M + 2 \cdot (a/2(A-1) + a/2 - 1))\} \\ &j=0 \sim M/2-1 \qquad \qquad j=0 \sim M/2-1 \qquad \qquad j=0 \sim M/2-1 \end{aligned}$$

$$\begin{aligned} 5 \quad &\{x(2j \cdot M + 1 + 2 \cdot (a/2 - 1))\}, \quad \{x(2j \cdot M + 1 + 2 \cdot (a/2 + a/2 - 1))\}, \quad \{x(2j \cdot M + 1 + 2 \cdot (a/2(A-1) + a/2 - 1))\} \\ &\{x((2j+1) \cdot M + 1 + 2 \cdot (a/2 - 1))\}, \{x((2j+1) \cdot M + 1 + 2 \cdot (a/2 + a/2 - 1))\}, \{x((2j+1) \cdot M + 1 + 2 \cdot (a/2(A-1) + a/2 - 1))\} \\ &j=0 \sim M/2-1 \qquad \qquad j=0 \sim M/2-1 \qquad \qquad j=0 \sim M/2-1 \end{aligned}$$

得られた各ラインは順に上から2個ずつが各パイプラインFFT回路の2並列
 10 入力を形成する。実際には、以上のように並べ換えて第A群まですべてが得られ
 るまで待つ必要はなく、先頭から3つおきにとったデータ $a/2$ 個の列 $a/2$ 個、
 3番目から3つおきにとったデータ $a/2$ 個の列 $a/2$ 個、2番から3つおきに
 取ったデータ $a/2$ 個の列 $a/2$ 個、4番目から3つおきにとったデータ $a/2$
 15 個の列 $a/2$ 個をメモリから読み出した後、それぞれ $(a/2) \times (a/2)$ 行
 列の転置操作して直ちに出力処理を開始することができる。

第4図の前段データ並べ換え部3B（方法2）の後半部である第2データ並べ
 換え回路320は、 $2a$ 個ずつ並列入力されてくるデータをダブルバッファメモ
 リの一方に $2a$ 個ずつ順次記憶しながら他方のメモリより上記の読み出し順に従
 って $2a$ 個ずつ並列に読み出し、4組のコナターナより $a/2$ 個ずつ合計 $2a$
 20 個ずつ送出するものである。特に $a=2$ の場合は 1×1 行列の転置操作となり、
 コナターナ機能は不要となり、単にデータをルーティングするだけである。

第7図は第3リードアドレスの生成回路323の構成例である。図中の群番号
 カウンタ3231（Aカウンタ）、列クラスタ番号カウンタ3232（Aカウン
 タ）、列番号カウンタ3233（ $a/2$ カウンタ）は上記並べ換え説明における
 25 群、群内の列クラスタ、列クラスタ内の列のそれぞれの特定手段であり、アドレ
 スはこれらのビットをこの順に単に接続した構成である。群番号カウンタ323
 1と列クラスタ番号カウンタ3232を入れ換え、群番号カウンタ3231のキ
 ャリィで列クラスタ番号カウンタ3232が更新されるようにキャリィ接続して、
 各群の対応する位置にある列クラスタの読み出しが時系列上連続となっている。

次に後段のデータ並べ換え部が行う操作であるが、前段の並べ換えの方法2の後半とまったく同じ操作を行うものである。前段のパイプラインFFTの出力は次の表4のような並びとなる。各ラインが前段からの出力ライン（即ち各2ラインずつが1つのパイプライン出力に対応）からのデータの出力順に対応する。

5 (表4)

	第1群	第2群	第A群
	$\{X_1(2j \cdot M + 2 \cdot 0)\}$	$\{X_1(2j \cdot M + 2 \cdot (a/2))\}$	$\{X_1(2j \cdot M + 2 \cdot (a/2(A-1)))\}$
	$\{X_1((2j+1) \cdot M + 2 \cdot 0)\}$	$\{X_1((2j+1) \cdot M + 2 \cdot (a/2))\}$	$\{X_1((2j+1) \cdot M + 2 \cdot (a/2(A-1)))\}$
10	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$
	$\{X_1(2j \cdot M + 1 + 2 \cdot 0)\}$	$\{X_1(2j \cdot M + 1 + 2 \cdot (a/2))\}$	$\{X_1(2j \cdot M + 1 + 2 \cdot (a/2(A-1)))\}$
	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot 0)\}$	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot (a/2))\}$	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot (a/2(A-1)))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$
15	$\{X_1(2j \cdot M + 2 \cdot 1)\}$	$\{X_1(2j \cdot M + 2 \cdot (a/2+1))\}$	$\{X_1(2j \cdot M + 2 \cdot (a/2(A-1)+1))\}$
	$\{X_1((2j+1) \cdot M + 2 \cdot 1)\}$	$\{X_1((2j+1) \cdot M + 2 \cdot (a/2+1))\}$	$\{X_1((2j+1) \cdot M + 2 \cdot (a/2(A-1)+1))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$
20	$\{X_1(2j \cdot M + 1 + 2 \cdot 1)\}$	$\{X_1(2j \cdot M + 1 + 2 \cdot (a/2+1))\}$	$\{X_1(2j \cdot M + 1 + 2 \cdot (a/2(A-1)+1))\}$
	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot 1)\}$	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot (a/2+1))\}$	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot (a/2(A-1)+1))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$
	$\{X_1(2j \cdot M + 2 \cdot 2)\}$	$\{X_1(2j \cdot M + 2 \cdot (a/2+2))\}$	$\{X_1(2j \cdot M + 2 \cdot (a/2(A-1)+2))\}$
25	$\{X_1((2j+1) \cdot M + 2 \cdot 2)\}$	$\{X_1((2j+1) \cdot M + 2 \cdot (a/2+2))\}$	$\{X_1((2j+1) \cdot M + 2 \cdot (a/2(A-1)+2))\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$
	$\{X_1(2j \cdot M + 1 + 2 \cdot 2)\}$	$\{X_1(2j \cdot M + 1 + 2 \cdot (a/2+2))\}$	$\{X_1(2j \cdot M + 1 + 2 \cdot (a/2(A-1)+2))\}$
	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot 2)\}$	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot (a/2+2))\}$	$\{X_1((2j+1) \cdot M + 1 + 2 \cdot (a/2(A-1)+2))\}$

$j=0 \sim M/2-1$

$j=0 \sim M/2-1$

$j=0 \sim M/2-1$

...

$\{X1(2j*M+2*(a/2-1))\}, \{X1(2j*M+2*(a/2+a/2-1))\}, \{X1(2j*M+2*(a/2(A-1)+a/2-1))\}$

$\{X1((2j+1)*M+2*(a/2-1))\}, \{X1((2j+1)*M+2*(a/2+a/2-1))\}, \{X1((2j+1)*M+2*(a/2(A-1)+a/2-1))\}$

5 $j=0 \sim M/2-1$

$j=0 \sim M/2-1$

$j=0 \sim M/2-1$

$\{X1(2j*M+1+2*(a/2-1))\}, \{X1(2j*M+1+2*(a/2+a/2-1))\}, \{X1(2j*M+1+2*(a/2(A-1)+a/2-1))\}$

$\{X1((2j+1)*M+1+2*(a/2-1))\}, \{X1((2j+1)*M+1+2*(a/2+a/2-1))\}, \{X1((2j+1)*M+1+2*(a/2(A-1)+a/2-1))\}$

$j=0 \sim M/2-1$

$j=0 \sim M/2-1$

$j=0 \sim M/2-1$

10

(後段の並べ換え方法2 : $a \geq 2$ の場合)

第5図に示す後段のデータ並べ換え部4Aは、前段FFT出力並びよりM点離れたデータM個からなるデータ組を作りa列縦隊になるように並べ換える。特に各組のデータ並び内では2列縦隊になるようにする。前段の出力はM点データの組(組内は2列縦隊)がa列縦隊の並びとなっているので、各組の対応する位置のデータを1個ずつ集めれば、M点離れたデータM個からなるデータ組を得ることができる。

組内は2列縦隊となっているので、群内の各列には同じM点データ組に属するデータが2個含まれており列が読み出しの単位とすると、2個のパイプラインFFT回路のデータが得られるので、a個のパイプラインFFT回路の為にはa/2列単位で読み出し並べ換えればよい。各群はa/2列単位を1クラスタとするとa/2列から構成されるクラスタA個に分けることができる。

以下、各群はクラスタ単位に次のように処理される。第1群の1番目のクラスタの列($i = 0 \sim a/2-1$) 各々について先頭から3つおきにとったデータa/2個からなる列a/2個、3番目から3つおきにとったデータa/2個からなる列a/2個、2番目から3つおきにとったデータa/2個からなる列a/2個、4番目から3つおきにとったデータa/2個からなる列a/2個をそれぞれ($a/2$) \times ($a/2$) 行列とみて転置、第2群の1番目のクラスタの列各々について先頭から3つおきにとったデータa/2個からなる列a/2個、3番目から3

れ $(a/2) \times (a/2)$ 行列とみて転置し、それぞれ $(a/2) \times (M/2)$ 行列を構成し、同様に対応づけると表5の第A群が得られる。

(表5)

5	第1群	第2群	第3群	第A群
	$\{X1(2i)\}$	$\{X1(aM+2i)\}$	$\{X1(2aM+2i)\}$	$\{X1((A-1)aM+2i)\}$
	$\{X1(2i+1)\}$	$\{X1(aM+2i+1)\}$	$\{X1(2aM+2i+1)\}$	$\{X1((A-1)aM+2i+1)\}$
	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$
10	$\{X1(M+2i)\}$	$\{x((a+1)M+2i)\}$	$\{X1((2a+1)M+2i)\}$	$\{X1(((A-1)a+1)M+2i)\}$
	$\{X1(M+2i+1)\}$	$\{x((a+1)M+2i+1)\}$	$\{X1((2a+1)M+2i+1)\}$	$\{X1(((A-1)a+1)M+2i+1)\}$
	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$
	$\{X1(2M+2i)\}$	$\{x((a+2)M+2i)\}$	$\{X1((2a+2)M+2i)\}$	$\{X1(((A-1)a+2)M+2i)\}$
15	$\{X1(2M+2i+1)\}$	$\{x((a+2)M+2i+1)\}$	$\{X1((2a+2)M+2i+1)\}$	$\{X1(((A-1)a+2)M+2i+1)\}$
	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$
	...			
	$\{X1((a-1)M+2i)\}$	$\{x((2a-1)M+2i)\}$	$\{X1((3a-1)M+2i)\}$	$\{X1(((A-1)a+a-1)M+2i)\}$
20	$\{X1((a-1)M+2i+1)\}$	$\{x((2a-1)M+2i+1)\}$	$\{X1((3a-1)M+2i+1)\}$	$\{X1(((A-1)a+a-1)M+2i+1)\}$
	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$

得られた各ラインは順に上から2個ずつが各パイプラインFFT回路の2並列
 25 入力を形成する。実際には、以上のように並べ換えて第A群まですべてが得られ
 るまで待つ必要はなく、先頭から3つおきにとったデータ $a/2$ 個の列 $a/2$ 個、
 3番目から3つおきにとったデータ $a/2$ 個の列 $a/2$ 個、2番目から3つおき
 にとったデータ $a/2$ 個の列 $a/2$ 個、4番目から3つおきにとったデータ $a/2$
 2個の列 $a/2$ 個をメモリから読み出した後、それぞれ $(a/2) \times (a/2)$
 行列の転置操作して直ちに出力処理を開始することができる。

第5図の後段データ並べ換え部4Aは前段データ並べ換え部の方法2の後半部である第2データ並べ換え回路320と同様に2a個ずつ並列入力されてくるデータをダブルバッファメモリの一方に2a個ずつ順次記憶しながら他方のメモリより上記の読み出し順に従って2a個ずつ並列に読み出し4組のコーナターナよりa/2個ずつ合計2a個ずつ送出するものである。リードアドレス生成回路323は第2データ並べ換え回路のものと同じである。

(捻り係数乗算)

後段部のデータ並べ換えに続き、捻り係数乗算部で乗算される捻り係数は表6のようなものとなる。N=M×M点フーリエ変換の第一ステップである式(1)はk₀を固定した場合、k₁についてのM点DFTの式であり、基数2パイプラインFFTで処理した場合、その出力インデックス順はDFTの式により得られるインデックス順とはビットリバースの関係にある。従って(2)式の捻り係数乗算を基数2のパイプラインFFTの出力インデックス順に対応して行う場合、捻り係数の指数n₀についてはビットリバースした値を用いる必要がある。

前述の後段のパイプラインFFTの入力の為の並べ換えでは、データ配列は一次元表現になっているが、2次元表現、即ち行列表現としてはMが掛けられている値が行インデックスであり、残りが列インデックスとなる。捻り係数の指数としてはこの行インデックスのビットリバース値を用いる必要がある。パイプラインFFT回路はa個なので、データ配列の行は2行ずつのa組に分けられ、各組はM点データずつA個に細分されている。列の観点から見ると全体がA個の群に分けられていることになる。

従ってビットリバース操作をBR[]とすると、データの入力並びに対応した捻り係数の並びは以下ようになる。但し、BR[]は[]内をmビットとしてみたビットリバース操作である。

(表6)

第1群の捻り係数 第2群の捻り係数 … 第A群の捻り係数

$\{W^{**}(BR[0]x(2i))\}$, $\{W^{**}(BR[a+0]x(2i))\}$, $\{W^{**}(BR[(A-1)a+0]x(2i))\}$
 $\{W^{**}(BR[0]x(2i+1))\}$, $\{W^{**}(BR[a+0]x(2i+1))\}$, $\{W^{**}(BR[(A-1)a+0]x(2i+1))\}$

	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$
	$\{W^{**}(BR[1]x(2i))\},$	$\{W^{**}(BR[a+1]x(2i))\},$	$\{W^{**}(BR[(A-1)a+1]x(2i))\}$
	$\{W^{**}(BR[1]x(2i+1))\},$	$\{W^{**}(BR[a+1]x(2i+1))\},$	$\{W^{**}(BR[(A-1)a+1]x(2i+1))\}$
5	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$
	$\{W^{**}(BR[2]x(2i))\},$	$\{W^{**}(BR[a+2]x(2i))\},$	$\{W^{**}(BR[(A-1)a+2]x(2i))\}$
	$\{W^{**}(BR[2]x(2i+1))\},$	$\{W^{**}(BR[a+2]x(2i+1))\},$	$\{W^{**}(BR[(A-1)a+2]x(2i+1))\}$
	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$
10
	$\{W^{**}(BR[a-1]x(2i))\},$	$\{W^{**}(BR[a+a-1]x(2i))\},$	$\{W^{**}(BR[(A-1)a+a-1]x(2i))\}$
	$\{W^{**}(BR[a-1]x(2i+1))\},$	$\{W^{**}(BR[a+a-1]x(2i+1))\},$	$\{W^{**}(BR[(A-1)a+a-1]x(2i+1))\}$
	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$

15 (データ並べ換え方法2 : $a=1$ の場合)

次に $a=1$ 、即ち各段のパイプラインFFT回路が1個の場合について示す。
 $a \geq 2$ の場合と同様、入力時系列データ $\{x(t) : t=0 \sim 2^{**}m-1\}$ は
 $2b$ 個ずつ並列入力されるとし、各入力データラインの連続するデータを B 個ず
つ組にし、これらを各入力データライン横断的にまとめると、表7のようにそれ
20 ぞれが M 点データからなる M 個の群に分けることができる。但し、 B は $B=M/$
 $2b$ で並列度 $2b$ とした時の M 点データになるまでの入力カウント数、 $2b$ は入
力並列度である。

(表7)

25	第1群	第2群	第3群 ...	第M群
----	-----	-----	---------	-----

入力データライン1;

$\{x(2bj)\}$,	$\{x(M+2bj)\}$,	$\{x(2M+2bj)\}$,	$\{x((M-1)M+2bj)\}$
$j=0 \sim B-1$		$j=0 \sim B-1$		$j=0 \sim B-1$		$j=0 \sim B-1$

入力データライン 2;

$$\begin{array}{cccc} \{x(2bj+1)\} & , & \{x(M+2bj+1)\} & , & \{x(2M+2bj+1)\} & , & \{x((M-1)M+2bj+1)\} \\ j=0 \sim B-1 & & j=0 \sim B-1 & & j=0 \sim B-1 & & j=0 \sim B-1 \end{array}$$

5

入力データライン 3;

$$\begin{array}{cccc} \{x(2bj+2)\} & , & \{x(M+2bj+2)\} & , & \{x(2M+2bj+2)\} & , & \{x((M-1)M+2bj+2)\} \\ j=0 \sim B-1 & & j=0 \sim B-1 & & j=0 \sim B-1 & & j=0 \sim B-1 \\ \dots\dots \end{array}$$

10 入力データライン 2b;

$$\begin{array}{cccc} \{x(2bj+2b-1)\} & , & \{x(M+2bj+2b-1)\} & , & \{x(2M+2bj+2b-1)\} & , & \{x((M-1)M+2bj+2b-1)\} \\ j=0 \sim B-1 & & j=0 \sim B-1 & & j=0 \sim B-1 & & j=0 \sim B-1 \end{array}$$

(前段データ並べ換え方法 2 : $a = 1$ の場合)

- 15 先ず、第 8 図に示す第 1 データ並べ換え回路 3 3 0 では、時系列上連続した M 点データからなるデータ組 M 個を 1 列縦隊になるようにデータを並べ換える。特に各データ組はその中では 2 列縦隊になっているように並べ換える。以下はその手順である。 M 個の群は次のように処理する。

- 20 第 1 群の第 1 列の奇数番目のデータ b 個からなる列、偶数番目のデータ b 個からなる列を作り、奇数番データ、偶数番データについて、それぞれ $b \times 1$ 行列とみて転置する。次に第 1 群の第 2 列の奇数番目データ b 個からなる列、偶数番目データ b 個からなる列を作り、奇数番データ、偶数番データについて、それぞれ $b \times 1$ 行列とみて転置し、第 1 列からの転置の横に配置する。

- 25 以下同様にして第 1 群の第 B 列の奇数番目のデータ b 個からなる列、偶数番目のデータ b 個からなる列を作り、奇数番のデータ、偶数番のデータについて、それぞれ $b \times 1$ 行列とみて転置し、第 $B - 1$ 列からの転置の横に配置する。奇数番目データより得られた大きさ $1 \times b$ の行列 B 個から構成される $1 \times (b \times B)$ $[= 1 \times (M/2)]$ 行列の行を奇数番のラインとし、偶数番目データより得られた大きさ $1 \times (M/2)$ 行列の行を偶数番のラインとして下記表 8 の第 1 群が得

られる。

同様にして、第2群について行くと表8の第2群が得られる。以下同様にして最後は第M群から表8の第M群が得られる。実際には、以上のように並べ換えて第M群まですべてが得られるまで待つ必要はなく、奇数番目データb個からなる
5 列、偶数番目データb個からなる列をメモリから読み出した後、各々 $b \times 1$ 行列の転置操作して直ちに次へ出力処理を開始することができる。

(表8)

	第1群	第2群	第3群	第M群
10	$\{x(2i)\}$,	$\{x(M+2i)\}$,	$\{x(2M+2i)\}$,	$\{x((M-1)M+2i)\}$
	$\{x(2i+1)\}$,	$\{x(M+2i+1)\}$,	$\{x(2M+2i+1)\}$,	$\{x((M-1)M+2i+1)\}$
	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$	$i=0 \sim M/2-1$

第8図の第1データ並べ換え回路330は、2b個ずつ並列入力されてくるデ
15 ータをダブルバッファメモリの一方に2b個ずつ順次記憶しながら、他方のメモリより上記の読み出し順に従って2b個ずつ並列に読み出し、2組のコーナターナ（この場合、パラレルイン・シリアルアウト回路となる）よりそれぞれ1個ずつ合計2個ずつ送出するものである。

第10図は第4リードアドレス生成回路333の構成例である。図中の群番号
20 カウンタ（Mカウンタ）3331、列番号カウンタ（Bカウンタ）3332は上記並べ換え説明における群、群内の列のそれぞれの特定手段であり、アドレスはこれらのビットをこの順に単に接続した構成である。

次に前段の第2データ並べ換え回路340では、前半の結果を基に1個のパイ
プラインFFT回路の入力になるように、時系列上M点離れたデータM個からな
25 るデータ組を作る。即ち1列縦隊になるように並べ換える必要がある。

前段の第1データ並べ換え回路330で、時系列的に連続するM点データの組（組内は2列縦隊）が1列縦隊に編成されているので、この後、各組の対応する位置のデータを1個ずつ集めれば、時系列的にM点離れたデータM個からなるデータ組を得ることができる。組内は2列縦隊になっているので、群内の各列の2

個のデータはM点離れたデータM個の組としては別の組に属する。列全体が読み出し単位とすると、パイプラインFFT回路は一組なので、他方は直ちに必要とはならず、再度読み出す必要がある。しかし、パイプラインFFT回路は2並列入出力であり、M点離れたデータM個の同じ組のもう1個のデータを必要とする。

5 即ち2つの群より同時に読み出してくる必要がある。

この為の構成は、第2図に示した前段のデータ並べ換え部3Aの方法1と同じでよい。即ち第1データ並べ換え回路330から得られるデータ群は、2つのバンクに分けられたバッファメモリに、奇数番目、偶数番目の群をそれぞれ別バンクに記憶する。各バンクより対応する群の先頭より1個ずつの計2個がパイプラインFFT回路の2並列入力となる。バンク内の各群は先頭の群の先頭データ1個、次の群の先頭データ1個、さらに次の群の先頭データ1個というように各群について対応する位置の1個ずつを読み出し、最後の群(M/2番目の群)に達して表9の第1群が得られる。再び先頭の群の次の1個、2番目の群の次の1個というように各群のデータが尽きるまで行い、表9の第M群までが得られる。こ

10

15

(表9)

第1群	第2群	第3群	...	第M群
$\{x(M(2j))\}$	$\{x(M(2j)+1)\}$	$\{x(M(2j)+2)\}$		$\{x(M(2j)+M-1)\}$
$\{x(M(2j+1))\}$	$\{x(M(2j+1)+1)\}$	$\{x(M(2j+1)+2)\}$		$\{x(M(2j+1)+M-1)\}$
$j=0\sim M/2-1$	$j=0\sim M/2-1$	$j=0\sim M/2-1$		$j=0\sim M/2-1$

20

得られた各群の2ラインはパイプラインFFT回路の2並列入力となる。実際には、以上のように並べ換えて第M群まですべてが得られるまで待つ必要はなく、2つのバンクから読み出して直ちにパイプラインFFT回路へ出力するようにで

25

きる。

第8図の第2データ並べ換え回路340は2個ずつ並列入力されてくるデータをダブルバッファメモリの一方にM個になる都度バンクを交互に切り換えながら2個ずつ記憶し、他方のメモリの2つのバンクより同時にそれぞれ2個を読み出

し、そのうち必要な1個をそれぞれ計2個送出するものである。

第11図は第5リードアドレスの生成回路343の構成例である。図中の群番号カウンタ3431 ($M/2$ カウンタ)、列番号カウンタ3432 ($M/2$ カウンタ)は上記並べ換え説明における群、群内の列のそれぞれの特定手段であり、
5 又行番号カウンタ3433 (2カウンタ)は列データ (2個のデータからなる) 内の1個のデータの選択手段である。列データの読み出しアドレスは群番号カウンタ3431、列番号カウンタ3432のビットを単に接続した構成である。行番号カウンタ3433の値は列内の対象データ1個の選択信号となる。群番号カウンタ3431のキャリイで行番号カウンタを更新し、行番号カウンタ3433
10 のキャリイで列番号カウンタが更新されるようにキャリイ接続して、各群の対応する位置にある1個のデータ (即ち属する列が各群での位置が相対的に同じでかつ列内の位置も同じ) が時系列的に連続して読み出される。

(後段データ並べ換え方法2 : $a = 1$ の場合)

第9図に示す後段のデータ並べ換え部4Bが行う操作は前段データの並べ換え部の第2データ並べ換え回路340 (方法2の後半部) と全く同じ操作を行うものである。前段のパイプラインFFTの出力は表10のような並びとなる。各ラインが前段FFT出力ラインからのデータの出力順に対応する。

(表10)

20	第1群	第2群	第3群	...	第M群
	$\{x_1(M(2j))\}$	$\{x_1(M(2j)+1)\}$	$\{x_1(M(2j)+2)\}$		$\{x_1(M(2j)+M-1)\}$
	$\{x_1(M(2j+1))\}$	$\{x_1(M(2j+1)+1)\}$	$\{x_1(M(2j+1)+2)\}$		$\{x_1(M(2j+1)+M-1)\}$
	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$	$j=0 \sim M/2-1$		$j=0 \sim M/2-1$

25

後段のデータ並べ換え部4BはFFT出力データの並びよりM点離れたデータM個からなるデータ組を作り1列縦隊になるように並べ換える。特に各組のデータ並び内では2列縦隊になっているようにする。前段のFFT出力はM点データの組 (組内は2列縦隊) が1列縦隊の並びとなっているので、各組の対応する位

置のデータを1個ずつ集めれば、M点離れたデータM個からなるデータ組を得ることができる。

組内は2列縦隊になっているので、群内の各列の2個のデータはM点離れたデータM個の組としては別の組であり、列を読み出しの単位とすると、パイプラインFFT回路は一組なので、他方は直ちに必要とはならず、再度読み出す必要がある。しかし、パイプラインFFT回路は2並列入出力であり、M点離れたデータM個の組として同じ組となるもう1個のデータを必要とする。即ち2つの群より同時に読み出してくる必要がある。この為の構成は方法1の前段の並べ換え部3Aと同じでよい。即ち、前段パイプラインFFT回路から得られるデータ群は、2つのバンク（バンクA、バンクB）に分けられたバッファメモリに、奇数番目、偶数番目の群をそれぞれ別に記憶する。各バンクより対応する群の先頭より1個ずつの計2個がパイプラインFFT回路の2並列入力となる。

バンク内の各群は先頭の群の先頭データ1個、次の群の先頭データ1個、さらに次の群の先頭データ1個というように各群について対応する位置の1個ずつが読み出され最後の群（M/2番目の群）に達して下記第1群が得られる。再び先頭の群の次の1個、2番目の群の次の1個というように各群のデータが尽きるまで行い、下記表1.1の第M群までが得られる。この後別のバッファのバンクに切り換わって全く同様に処理を行う。

(表 1.1)

第1群	第2群	第3群	...	第M群
$\{x_1(2i)\}$	$\{x_1(M+2i)\}$	$\{x_1(2M+2i)\}$		$\{x_1((M-1)M+2i)\}$
$\{x_1(2i+1)\}$	$\{x_1(M+2i+1)\}$	$\{x_1(2M+2i+1)\}$		$\{x_1((M-1)M+2i+1)\}$
$i=0\sim M/2-1$	$i=0\sim M/2-1$	$i=0\sim M/2-1$		$i=0\sim M/2-1$

得られた各群のラインはパイプラインFFT回路の2並列入力を形成する。実際には、以上のように並べ換えて第M群まですべてが得られるまで待つ必要はなく2のバンクから読み出して直ちにパイプラインFFTに出力することができる。

第9図に示した後段データ並べ換え部4Bは、前段データ並べ換え部3Cの第2データ並べ換え回路340（方法2）と同様に2個ずつ並列入力されてくるデータをダブルバッファメモリの一方に、M個になる都度、そのバンク341A¹、341B¹を交互に切り換えながら2個ずつ記憶し、他方のメモリの2つのバンクより同時にそれぞれ2個を読み出し、その内必要な1個をそれぞれ送送するものである。第5リードアドレス生成回路343¹は前段データ並べ換え部330の第2データ並べ換え回路340の第5リードアドレス生成回路343と同じである。

10 （捻り係数の乗算：a=1の場合）

後段のデータ並べ換えに続く、捻り係数乗算部で乗算される捻り係数は各段のパイプラインFFTが1個即ちa=1の場合は、a≥2の場合において、a=1、A=Mとして表12のようなものとなる。但し、BR[]は[]内をmビットとしてみたビットリバース操作である。

15

（表12）

第1群の捻り係数	第2群の捻り係数	…	第M群の捻り係数
$\{W^{**}(BR[0]x(2i))\}$	$\{W^{**}(BR[1]x(2i))\}$		$\{W^{**}(BR[(M-1)]x(2i))\}$
$\{W^{**}(BR[0]x(2i+1))\}$	$\{W^{**}(BR[1]x(2i+1))\}$		$\{W^{**}(BR[(M-1)]x(2i+1))\}$
i=0~M/2-1	i=0~M/2-1		i=0~M/2-1

20

（並列構成）

装置単独では実装上の制約等によりデータの入力レートに対応できない時として、例えば、データの入力レートと装置の動作レートが等しく、データの入力並列度2b>パイプラインFFTの合計パイプライン幅2a、の場合等がある。このための対策として装置を並列配置する方法がある。単純な構成としてデータ入力ラインと各装置をデマルチプレクサで結合すればよいが、前段データ並べ換えの方法2の場合、各装置の前段データ並べ換え部（方法2）の前半部である第1データ並べ換え回路を統合し、バッファメモリからの読み出しでデマルチプレク

25

スする方が制御やコンパクト化に有利な場合がある。

第12図はこのデータ分配・並べ換え部8の構成を示す。

このような構成では各装置の前段データ並べ換え部は方法2に於ける前段データ並べ換え部の後半と同じ構成となる。従って又各装置の後段データ並べ換えは
5 これまでの説明から判るように前段のデータ並べ換え部と同じ構成となる。この時、並列配置装置台数 e は $(2b) \div (2a) = b \div a$ となるべきであり、2の中乗となる。

この統合バッファメモリの大きさ（語数）としてフーリエ変換点数×並列配置する装置分とし、各装置に割り付ける分はフーリエ変換点数分とする（バッファ
10 リング分を含めるとこの倍となる）。またデータ並べ換えのコナターナの大きさも並列配置する装置個数倍とする。この統合バッファへの書き込みは順に各装置分としてフーリエ変換点数分単位ずつ行われる。しかし、読み出しは装置対応には、前段のデータ並べ換え（方法2）の前半の説明で述べたように $2b$ 個ずつ並列に a 回、即ち a 列分、順に行い、コナターナへ出力される。 2 組のコナ
15 ターナではそれぞれ並列配置する装置台数分、即ち $(b \times a \times e) = b \times a \times (b \div a) = b \times b$ 個のデータがバッファされると転置操作が行われ、各装置に対して同時にそれぞれ a 並列でデータが出力される（装置当たり奇・偶数出力ライン合計 $2a$ 並列となり、全体では $2b$ 並列となる）。

データ分配・並べ換え部8における、データ読み出しのデマルチプレクサ制御
20 に対応した第6リードアドレス発生回路82は第13図に示すようになり、装置カウンタ824が追加され、これがバッファメモリ上の各装置領域の選択を制御する。図中の群クラス番号カウンタ821（Aカウンタ）、群番号カウンタ822（aカウンタ）、列番号カウンタ823（Bカウンタ）は前段の並べ換えの方法2の第1並べ換え回路（前半部）の説明におけるクラス、クラス内の群、
25 群内の列のそれぞれの特定手段であり、また装置カウンタは個々の各装置の対象データ（クラス）を特定する手段である。アドレスは装置カウンタ824、群クラス番号カウンタ821、群番号カウンタ822、列番号カウンタ823のビットをこの順に単に接続した構成である。

以上の構成において、群番号カウンタ822のキャリイで装置カウンタ824

- を更新し、装置カウンタ 8 2 4 のキャリィで列番号カウンタ 8 2 3 が更新され、列番号カウンタ 8 2 3 のキャリィで群クラス番号カウンタ 8 2 1 が更新されるようにキャリィ接続を行うことにより、クラス内では各群の対応する位置にある列（即ち合計 a 個の列）の読み出しが時系列上連続となり、又特定の装置の処理対象データの a 個の列が読み出されると、次の装置の処理対象データより a 個の列が読み出されるようにアドレスの生成を行うようにしている。

なお、 $a = 1$ の場合の第 6 リードアドレス発生回路は第 1 3 図において、 $A = M$ となり、 a カウンタを削除した第 1 4 図である。

（バイパス処理）

- 10 これまで前段のフーリエ変換点数は後段と同じ変換点数として説明してきた。しかし、同じ装置構成で変換点数をモード変更等で可変にできれば、装置の汎用性が増す。特許第 2 8 4 8 1 3 4 号によると、 R 並列入出力 M 点（ $= R * m$ ）用の基数 R パイプライン F F T 回路で、データ並べ換えと演算部からなるパイプラインの各段に対する設定によって、変換点数 $M / (R * 1)$ 、 $M / (R * 2)$ 、 $M / (R * 3)$ 、 \dots R 点のフーリエ変換を行わせることができることが開示されている。

- 20 以下は $R = 2$ 、即ち基数 2 パイプライン F F T についての概略説明である。並列入出力 M 点（ $= 2 * m$ ）、基数 2 パイプライン F F T 回路はフーリエ変換点数 M 個のデータについて、フーリエ変換を行う回路である。これは M 個の入力データを 2 分割し、分割した入力データをシリアルに並べてなる 2 並列入力のデータをデータ並べ換え回路部と演算部とから構成された 2 並列入出力の、高速フーリエ変換（F F T）の基本回路に入力し、この 2 並列入出力の基本回路を 1 段とし、この段を m 個直列に並べてフーリエ変換を行うよう構成したものである。

- 25 データ並べ換え回路部は入力データ点数 M に対して、上記の 1 段目では $M / (2 * 1)$ 離れたデータ同士が、2 段目では $M / (2 * 2)$ 離れたデータ同士が、3 段目では $M / (2 * 3)$ 離れたデータ同士が、最終段ではお互いに 1 つ離れたデータ同士が演算部の 2 並列入力を構成するように並べ換えを行い、各演算部は 2 並列入力の 1 方に捻り係数を乗算し、その結果と他方の入力とでバタフライ演算（2 入力の和及び差を得る）を行う。

特許第2848134号では上記の基本回路m段からなる $M (= 2^{*}m)$ 点の高速フーリエ変換回路において、データの並べ換えを行うが、演算を行わないでそのまま出力するというバイパス処理を1段からK段まで行い、以降の段ではデータの並べ換え及び演算を行うことで、データ点数が $M / (2^{*}K)$ のフーリエ変換がなされることが示されている（但し、Kは正整数で $K < m$ ）。又与え

5 る入力データが最大変換点数であって、上記バイパス機能を適用してもバイパス機能の設定で決まる変換点数ずつまとまった形で変換結果が得られることを以下に示す。

10 まず、基数2の場合に対するデータ並べ換えの例を説明し、その後で並べ換え方より、バイパス機能を適用しても変換点数ずつまとまった形で変換結果が得られることを示す。基本回路のデータ並べ換え部の2並列入力のそれぞれのポートをx、y、2並列出力のそれぞれのポートをa、bと名付ける時、1段目では1本のM点の時系列データがデマルチプレクサにより2本の入力ポートに与えられるか、乃至はM点の時系列データを丁度半分のところで分割して時間的に早い前半 $M / (2^{*}1)$ 個の時系列上連続するデータをポートxに、遅い後半 $M / (2^{*}1)$ 個の時系列上連続するデータをポートyに与える時、出力としてポートaに時間的に早い $M / (2^{*}1)$ 個の連続するデータを、ポートbには時間的に遅い $M / (2^{*}1)$ 個の連続するデータが出るように並べ換える。

15 2段目ではまず入力ポートxからの $M / (2^{*}1)$ 個のデータを2分割して、時間的に早い前半 $M / (2^{*}2)$ 個のデータを出力ポートaに、遅い後半 $M / (2^{*}2)$ 個のデータを出力ポートbに出力し、その後入力ポートyからの $M / (2^{*}1)$ 個のデータを2分割して、時間的に早い前半 $M / (2^{*}2)$ 個のデータを出力ポートaに、遅い後半 $M / (2^{*}2)$ 個のデータを出力ポートbに出力するように並べ換える。

20 2段目ではまず入力ポートxからの $M / (2^{*}1)$ 個のデータを2分割して、時間的に早い前半 $M / (2^{*}2)$ 個のデータを出力ポートaに、遅い後半 $M / (2^{*}2)$ 個のデータを出力ポートbに出力し、その後入力ポートyからの $M / (2^{*}1)$ 個のデータを2分割して、時間的に早い前半 $M / (2^{*}2)$ 個のデータを出力ポートaに、遅い後半 $M / (2^{*}2)$ 個のデータを出力ポートbに出力するように並べ換える。

25 さらに3段目ではまず入力ポートxからの最初の $M / (2^{*}2)$ 個のデータを2分割して、時間的に早い前半 $M / (2^{*}3)$ 個のデータを出力ポートaに、遅い後半 $M / (2^{*}3)$ 個のデータを出力ポートbに出力し、この後入力ポートyからの最初の $M / (2^{*}2)$ 個のデータを2分割して、時間的に早い前半 $M / (2^{*}3)$ 個のデータを出力ポートaに、遅い後半 $M / (2^{*}3)$ 個の

データを出力ポート a のデータを出力ポート b に出力し、再び入力ポート x からの次の残り $M / (2^{*} 2)$ 個のデータを 2 分割して、時間的に早い前半 $M / (2^{*} 3)$ 個のデータを出力ポート a に、遅い後半 $M / (2^{*} 3)$ 個のデータを出力ポート b に出力し、再び入力ポート y からの次の残り $M / (2^{*} 2)$ 個のデータ
5 ータを 2 分割して、時間的に早い前半 $M / (2^{*} 3)$ 個のデータを出力ポート a に、遅い後半 $M / (2^{*} 3)$ 個のデータを出力ポート b に出力するように並べ換える。以下 4 段、5 段・・・同様な仕方で細分割して並べ換え出力される。

以上のような並べ換えにおいて 1 段目での出力ポート a、b に出てくるデータは時系列的に丁度 $M / (2^{*} 1)$ 個離れたものになっている。また 2 段目では
10 連続した $M / (2^{*} 1)$ 個のデータを 2 分割して出力ポート a、b に出力しているのではやはりそれらの距離は $M / (2^{*} 1)$ の半分の $M / (2^{*} 2)$ 個になっている。また 3 段目では連続した $M / (2^{*} 2)$ 個のデータを 2 分割して出力ポート a、b に出力しているのではやはりそれらの距離は $M / (2^{*} 2)$ の半分の $M / (2^{*} 3)$ 個になっている。

15 以下 m 段目では $M / (2^{*} m) = M / M = 1$ 離れたものになっており、FFT 演算部が要請する、演算部に与えるべきデータ揃えに叶っている。

以上の並べ換え方法を採用しているデータ並べ換え部を含む基本回路を各段に持つ高速フーリエ変換回路においてバイパス処理即ちデータ並べ換えは行わぬが演算はせず、そのまま次の段に渡すというバイパス機能を 1 段目までに適用すると、
20 上記並べ換え説明より、2 段目では M 個の連続データの内、先ず、前半の $M / (2^{*} 1)$ 個を 2 分割して演算部に渡し、その後で後半の $M / (2^{*} 1)$ 個を 2 分割して演算部に渡すので、 $M / (2^{*} 1)$ 点フーリエ変換結果は $M / (2^{*} 1)$ 個ずつ分離されて得られることが判る。バイパス機能を 2 段目までに適用すると、上記並べ換え説明から 3 段目では各入力ポートからの連続した $M / (2^{*} 2)$ 個単位
25 のデータを時間的に早い順に処理、即ち 2 分割して演算部に渡すというように処理するので $M / (2^{*} 2)$ 点フーリエ変換結果は $M / (2^{*} 2)$ 個ずつ分離されて得られることが判る。以下同様で、バイパス機能の適用でも変換点数ずつまとまった形で変換結果が得られることが判る。

本特許 2 8 4 8 1 3 4 号に開示された前段の基数 2 パイプライン FFT 回路と

して、各段が上記バイパス機能を持つ基数2パイプラインFFT回路を使用し、1段目から必要な段までバイパス機能を適用することによって、 $N/2 = (M/2) \times M$ 、 $N/(2 \times 2) = \{M/(2 \times 2)\} \times M$ 、 $N/(2 \times 3) = \{M/(2 \times 3)\} \times M$ 、 $\dots \{N/(M/2)\} \times M = 2 \times M$ 点のフーリ

5 エ変換を行えることが以下のように示される。

これらのフーリエ変換点数は $\alpha \times M$ と表されるので、前段のパイプラインFFTに供給されるデータはM個おきに α 個とってパイプラインFFT回路に α 個ずつ供給すればよいが、特許2848134号の基数2パイプラインFFTではM個($= \alpha \times (M/\alpha)$)ずつ供給するとパイプラインFFTの中で、分離し順次
10 α 点FFTを行い、 (M/α) 組出力してくる。これは前段、後段データ並べ換え部の説明中の後段データ並べ換え部の入力データ $\{X_1(n)\}$ の各群の列が仮想的に $\alpha/2$ 列ずつ M/α 組に区分けされるだけで、出力順は $M \times M$ 点パイプラインFFTの場合と全く同じであり、後段のパイプラインFFTの入力としてはM個の各群の対応する位置からデータを1個ずつとって(合計M個のデータと
15 なる)くればよく、これは既に説明した後段でのデータ並べ換えそのものである。さらに、前段の最後の演算までバイパスする場合、前段パイプラインFFTの入力データ列そのものがその順に出てくるので、後段のデータ並べ換えを経由すると、結局元々の時系列上連続したM点ずつのデータが得られる。

これを後段パイプラインFFTに与えるとM点FFTの結果が順に得られること
20 になる。後段にも前段と同じバイパス機能をもった基数2パイプラインFFTを使用し、データ並び替えそのものは行うが、順に先頭から演算をバイパスすると $M/2$ 点以下のFFT結果が得られる。以上により、本特許では前段/後段に各段の演算そのものをバイパスする機能をもつ基数2パイプラインFFTを採用することにより $N/2 \dots 2$ 点までのフーリエ変換を行うことができる機能
25 を持つフーリエ変換装置を構成することもできる。

(64点高速フーリエ変換装置)

64点FFTを行う場合の実施例構成を第15図に示す。データ入力並列度は4で、パイプライン幅も合計4とし、前段データ並べ換え部103のデータ並べ換え方法は上述した方法2に従うものとする。64点FFTは 8×8 と分解する

と、以下のように前段・後段とも変換点数 $M=8$ の離散フーリエ変換となる。

63

$$Y(n) = \sum_{k=0}^{63} y(k) W^{**}(n \times k) \quad \text{----- (0)}$$

5 但し、 $W = \exp(-2\pi j / 64)$

$n, k = 0 \sim 63$

に於いて、 $n = 8 \times n_1 + n_0$

$k = 8 \times k_1 + k_0$

但し、 $n_1, n_0 = 0 \sim 7$

10 $k_1, k_0 = 0 \sim 7$

とおくと、離散フーリエ変換の式(0)は次のようになり、

7 7

$$Y(n_1, n_0) = \sum_{k_1=0}^7 \sum_{k_0=0}^7 y(k_1, k_0) \times W^8_{**}(n_0 \times k_1) \times W^8_{**}(n_0 \times k_0) \times W^8_{**}(n_1 \times k_0)$$

15 但し、 $W^8 = \exp(-2\pi j / 8)$

ステップに分解できる；

$$Y_1(n_0, k_0) = \sum_{k_1=0}^7 y(k_1, k_0) \times W^8_{**}(n_0 \times k_1) \quad \text{----- (1)}$$

$$Y_2(n_0, k_0) = Y_1(n_0, k_0) \times W^8_{**}(n_0 \times k_0) \quad \text{----- (2)}$$

20

$$Y_3(n_0, n_1) = \sum_{k_0=0}^7 Y_2(n_0, k_0) \times W^8_{**}(n_1 \times k_0) \quad \text{----- (3)}$$

式(1)に於ける8点フーリエ変換 $Y_1(n_0, k_0)$ ($k_0 = 0, 2, 4, 6$)
 25 は k_0 の昇順に前段の8点基数2パイプラインFFT回路101Aで計算される。
 また8点フーリエ変換 $Y_1(n_0, k_0)$ ($k_0 = 1, 3, 5, 7$)は k_0 の昇順に
 に前段の8点基数2パイプラインFFT回路101Bで計算される。

式(2)は捻り係数乗算部107で計算される。この乗算部107には、複素
 乗算回路105と係数メモリ106を備えている。式(3)に於ける8点フーリ

エ変換Y3 (n0, n1) (n0 = 0, 2, 4, 6) はn0の昇順に後段の8点基数2パイプラインFFT回路102Aで計算される。また8点フーリエ変換Y3 (n0, n1) (n0 = 1, 3, 5, 7) はn0の昇順に後段の8点基数2パイプラインFFT回路102Bで計算される。以下に変換に従ってデータが出力される

5 順をデータ並べ換え込みで示す。

先ず、時系列の入力データy(k)が4並列で入力される。変数名yを省略しインデックスの値のみを示す。記述した表1におけるパラメータをM=8、b=2、B=8/4=2として、

(表13)

10	第1群	第2群	第3群	第4群	第5群	第6群	第7群	第8群
	0, 4	8, 12	16, 20	24, 28	32, 36	40, 44	48, 52	56, 60
	1, 5	9, 13	17, 21	25, 29	33, 37	41, 45	49, 53	57, 61
	2, 6	10, 14	18, 22	26, 30	34, 38	42, 46	50, 54	58, 62
	3, 7	11, 15	19, 23	27, 31	35, 39	43, 47	51, 55	59, 63

15

前段のデータ並べ換え方法2に従うデータ並べ換え部103 (詳細は第16図参照) の前半部103aでy(k)は表14のように並べ換えられる。表2におけるパラメータをM=8、a=2、A=8/2=4として、

(表14)

20	第1群	第2群	第3群	第4群
	0, 2, 4, 6,	16, 18, 20, 22,	32, 34, 36, 38,	48, 50, 52, 54
	1, 3, 5, 7,	17, 19, 21, 23,	33, 35, 37, 39,	49, 51, 53, 55
	8, 10, 12, 14,	24, 26, 28, 30,	40, 42, 44, 46,	56, 58, 60, 62
25	9, 11, 13, 15,	25, 27, 29, 31,	41, 43, 45, 47,	57, 59, 61, 63

さらにデータ並べ換え部103 (詳細は第16図参照) の後半部103bでy(k)は次の表15のように並べ換えられる。ここで、リードアドレス生成回路103a-1, 103b-1はそれぞれ第6図、第7図に示したものに対応する

が、図中の後半部の並べ換え用リードアドレス生成回路 1 0 3 b-1 ではクラスタ内列番号カウンタの計数個数は 1 個の為、クラスタ内列番号カウンタは削除されている。

5 (表 1 5)

第 1 群	第 2 群	第 3 群	第 4 群
0、16、32、48、	2、18、34、50、	4、20、36、52、	6、22、38、54
8、24、40、56、	10、26、42、58、	12、28、44、60、	14、30、46、62

(以上、前段の 8 点基数 2 シリアル F F T 回路 1 0 1 A への 2 並列入力)

10

1、17、33、49、	3、19、35、51、	5、21、37、53、	7、23、39、55
9、25、41、57、	11、27、43、59、	13、29、45、61、	15、31、47、63

(以上、前段の 8 点基数 2 シリアル F F T 回路 1 0 1 B への 2 並列入力)

前段の 8 点基数 2 シリアル F F T 回路 1 0 1 A からの 2 並列出力データ Y 1
($8n_0 + k_0$) の順を示す (Y 1 のインデックス $8n_0 + k_0$ 値のみを表示)。

15

0、16、32、48、	2、18、34、50、	4、20、36、52、	6、22、38、54
8、24、40、56、	10、26、42、58、	12、28、44、60、	14、30、46、62

前段の 8 点基数 2 シリアル F F T 回路 1 0 1 B からの 2 並列出力データ Y 1
($8n_0 + k_0$) の順を示す (Y 1 のインデックス $8n_0 + k_0$ 値のみを表示)。

20

1、17、33、49、	3、19、35、51、	5、21、37、53、	7、23、39、55
9、25、41、57、	11、27、43、59、	13、29、45、61、	15、31、47、63

以上のように得られた Y 1 のデータに対して、さらに Y 3 を得る為の変換の為のデータ並べ換えが必要であるが、データ並べ換え部 1 0 4 (詳細は第 1 7 図) で Y (k) は次の表 1 6 のような順となる。なお、図中のリードアドレス生成回路 1 0 4-1 は第 7 図のリードアドレス生成回路に対応するが、第 1 7 図ではクラスタ内列番号カウンタの計数個数は 1 個の為、クラスタ内列番号カウンタは削除されている。

(表 1 6)

第 1 群	第 2 群	第 3 群	第 4 群
0、2、4、6、	16、18、20、22、	32、34、36、38、	48、50、52、54

1、3、5、7、17、19、21、23、33、35、37、39、49、51、53、55

(以上、後段の8点基数2シリアルFFT回路102Aへの2並列入力)

8、10、12、14、24、26、28、30、40、42、44、46、56、58、60、62

9、11、13、15、25、27、29、31、41、43、45、47、57、59、61、63

5 (以上、後段の8点基数2シリアルFFT回路102Bへの2並列入力)

これらは4個の捻り係数乗算回路で捻り係数がそれぞれ乗算された後、後段の8点基数2シリアルFFT回路102A、102Bへ入力され、Y3のデータがこのような順に2並列で得られる。

10 なお、捻り係数乗算部105で掛けられる係数は表6におけるパラメータを $M=8$ 、 $a=2$ 、 $A=M/a=8/2=4$ として、指数値のみを示すと以下表17のようなものとなる。

(表17)

係数の指数

	第1群	第2群	第3群	第4群
15	0, 0, 0, 0	0, 4, 8, 12	0, 2, 4, 6	0, 6, 12, 18
	0, 0, 0, 0	2, 6, 10, 14	1, 3, 5, 7	3, 9, 15, 21

(以上、後段の8点基数2パイプラインFFT回路102Aへの入力となるデータに対する係数の指数)

	0, 8, 16, 24	0, 12, 24, 36	0, 10, 20, 30	0, 14, 28, 42
20	4, 12, 20, 28	6, 18, 30, 42	5, 15, 25, 35	7, 21, 35, 49

(以上、後段の8点基数2パイプラインFFT回路102Bへの入力となるデータに対する係数の指数)

25 以上に詳述したように、本発明は、前段及び後段から構成されるフーリエ変換装置の構成に於いて、各段が変換手段として並列入出力の変換点数が等しい M (2の巾乗)点、基数2パイプラインFFT回路を a (M の約数)個ずつ持ち、かつ各段の変換手段へのデータ供給の為のデータの並べ換え手段を持つようにしたため、装置のパイプライン幅が各段の個々のパイプラインFFT回路の変換点数に依存しないという効果がある。

請 求 の 範 囲

1. 離散フーリエ変換を行うフーリエ変換装置であって、

最大変換点数を $M (= 2^m, m \geq 2)$ 点とする2並列入出力、基数2のパイプラインFFT回路を最大変換点数 M の約数に相当する個数 a 個有する前段の変換手段と、

前記前段の変換手段に入力データを第1の所定の順に従って供給する第1のデータ供給手段と、

前記前段の変換手段と同数の2並列入出力 M 点、基数2のパイプラインFFT回路を有する後段の変換手段と、

10 前記後段の変換手段に入力データを第2の所定の順に従って供給する第2のデータ供給手段と、

前記前段の変換手段と前記後段の変換手段との間に設けられ、捻り係数を乗算する捻り係数乗算手段とを備えてなることを特徴とするフーリエ変換装置。

2. 請求の範囲第1項に記載のフーリエ変換装置において、

15 前記第1のデータ供給手段は、2バンク構成とされた第1のメモリ回路と、前記第1のメモリ回路のバンクを切換え、入力データを交互に順次 M 個毎書き込む書き込み手段と、前記第1のメモリ回路の2つのバンクに対応する位置のデータを同時に読み出し、前記前段の変換手段に供給する読み出し手段とを備えてなることを特徴とするフーリエ変換装置。

20 3. 請求の範囲第1項に記載のフーリエ変換装置において、

前記第1のデータ供給手段は、データを所定の順に並べ換える第1、第2のデータ並べ換え部を2段階に備えて構成され、前記第1、第2のデータ並べ換え部がデータを記憶する夫々第2、第3のメモリ回路と、前記第2、第3のメモリ回路の夫々の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第2、第3のメモリ回路より読み出されたデータを夫々並べ換えるコーナターナとを備え、

25 前記第2のデータ供給手段は、第3のデータ並べ換え部を備えて構成され、データを記憶する第4のメモリ回路と、該第4のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第4のメモリ回路より読み出され

たデータを並べ換えるコーナターナとを備えてなることを特徴とするフーリエ変換装置。

4. 請求の範囲第1項に記載のフーリエ変換装置において、

前記前段及び後段の変換手段が有するパイプラインFFT回路の個数 a が2の場合、

前記第1のデータ供給手段は、第4、第5のデータ並べ換え部を2段階に備えて構成され、夫々のデータ並べ換え部がデータを記憶する第5、第6のメモリ回路と、前記第5、第6のメモリ回路の夫々の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第5、第6のメモリ回路より読み出されたデータを夫々並べ換えるコーナターナとを備え、

前記第2のデータ供給手段は、第6のデータ並べ換え部を備えて構成され、データを記憶する第7のメモリ回路と、該第7のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路とを備えてなることを特徴とするフーリエ変換装置。

5. 請求の範囲第1項に記載のフーリエ変換装置において、

前記前段及び後段の変換手段が有するパイプラインFFT回路の個数 a が1の場合、

前記第1のデータ供給手段は、第7、第8のデータ並べ換え部を備えて構成され、前記第7のデータ並べ換え部は、データを記憶する第8のメモリ回路と、該第8のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第8のメモリ回路より読み出されたデータを並べ換えるパラレルインシリアルアウト回路とを備え、前記第8のデータ並べ換え部は、記憶時には M 個ずつのデータを交互に書き込み読み出し時には対応する M 点データ組の対応するデータを同時に読み出せるように各々が2つのバンクから構成された第9のメモリ回路と、該第9のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路を備え、

前記第2のデータ供給手段は、記憶時には M 個ずつのデータを交互に書き込み、読み出し時には対応する M 点データ組の対応するデータを同時に読み出せるように各々が2つのバンクから構成された第10のメモリ回路と、該第10のメモリ

回路の所定の論理に従う読み出し又は書き込みアドレス生成回路からなることを特徴とするフーリエ変換装置。

6. 請求の範囲第1項乃至請求の範囲第5項のいずれかに記載のフーリエ変換装置を2の中乗個並列配置し、時系列入力データを最大フーリエ変換点数 $N (=M \times M)$ 個ずつ各フーリエ変換装置に割当て、それらの連続した M 点データの組を各組2並列で a 組ずつ合計 $2a$ 並列で各フーリエ変換装置に供給するデータ分配・並べ換え手段を備えてなるフーリエ変換装置。

7. 請求の範囲第6項に記載のフーリエ変換装置において、前記データ分配・並べ換え手段は、並列配置するフーリエ変換装置分のデータを記憶する第11のメモリ回路と、該第11のメモリ回路の所定の論理に従う読み出し又は書き込みアドレス生成回路と、前記第11のメモリ回路より読み出されたデータを並べ換え、並列配置された前記フーリエ変換装置のそれぞれにデータを並列に出力するコーナターナとを備えてなることを特徴とするフーリエ変換装置。

8. 請求の範囲第1項乃至請求の範囲第7項のいずれかに記載のフーリエ変換装置において、

前記前段及び後段の変換手段による演算をバイパスさせるためのバイパス手段を備えたことを特徴とするフーリエ変換装置。

要 約 書

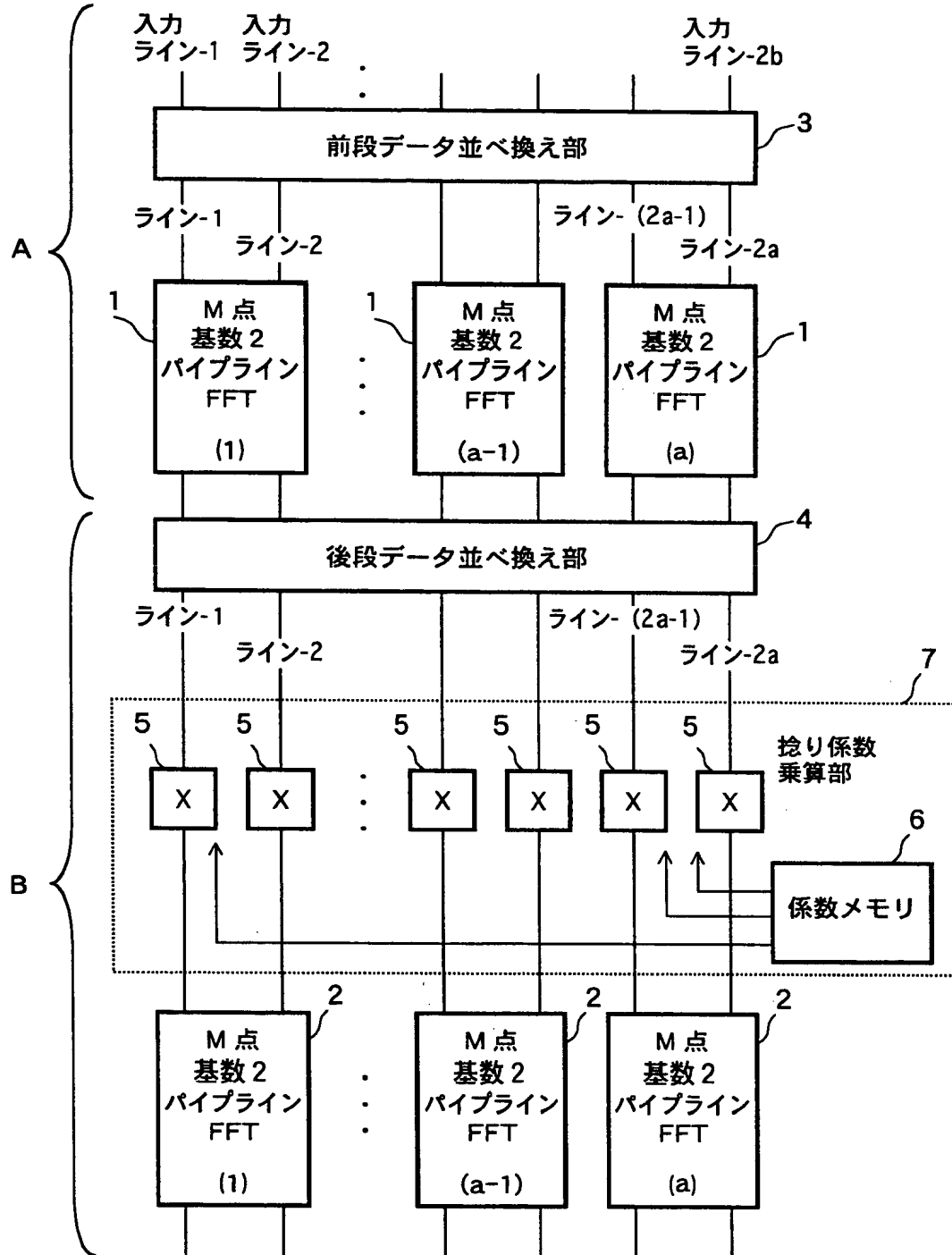
装置のパイプライン幅が各段の個々のパイプラインFFT回路の変換点数に依存しないフーリエ変換装置であって、前段及び後段から構成されるフーリエ変換装置の構成において、各段が変換手段として並列入出力の変換点数が等しいM

- 5 (2の巾乗)点、基数2パイプラインFFT回路1…をa(Mの約数)個ずつ持ち、かつ各段の変換手段へのデータ供給の為のデータの並べ換え手段を持つようにし、フーリエ変換装置のパイプライン幅が各段の個々のパイプラインFFT回路の変換点数に依存しない構成とした。

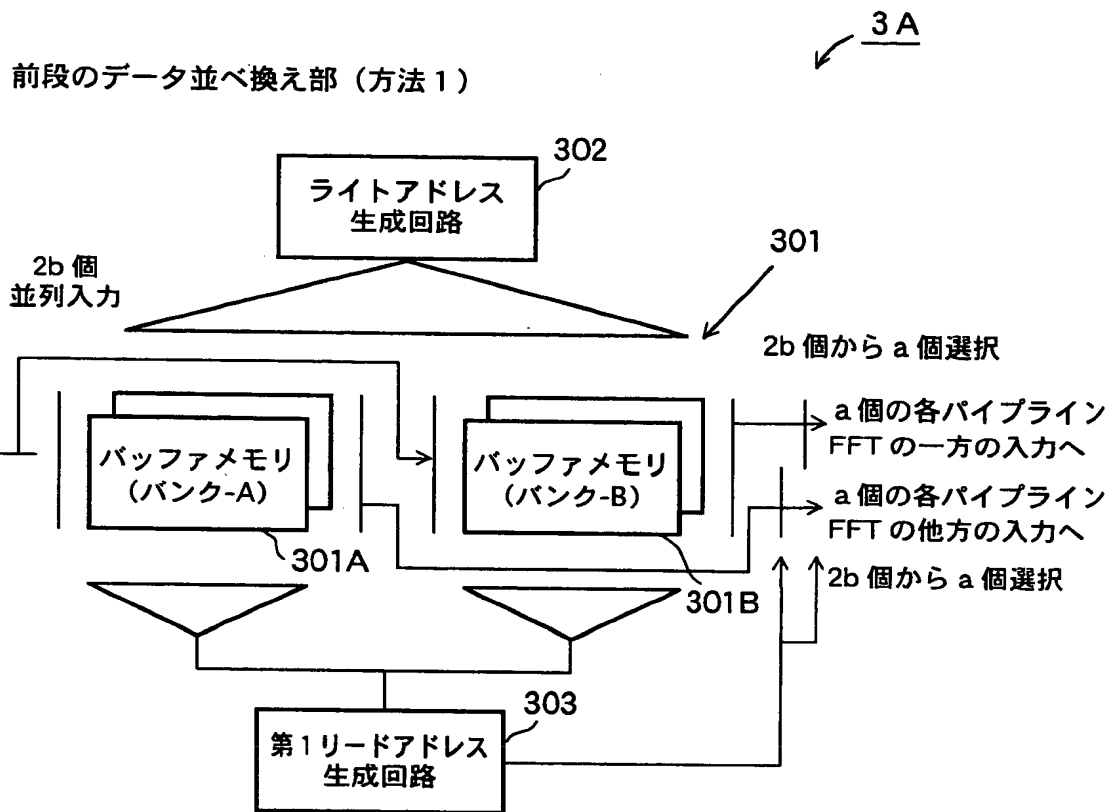
第1図

本発明の基本構成

100 FFT

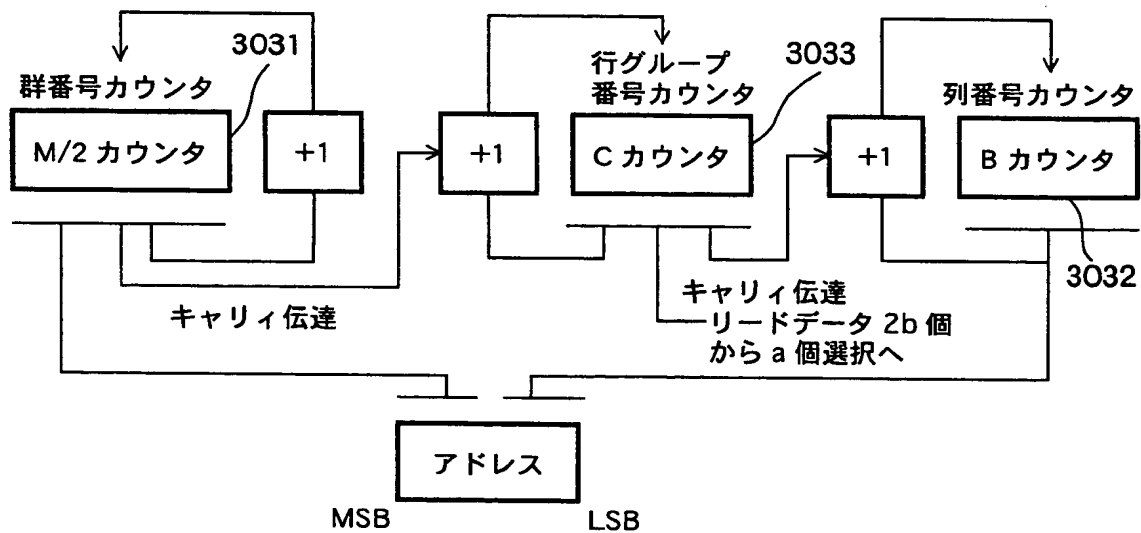


第2図



第3図

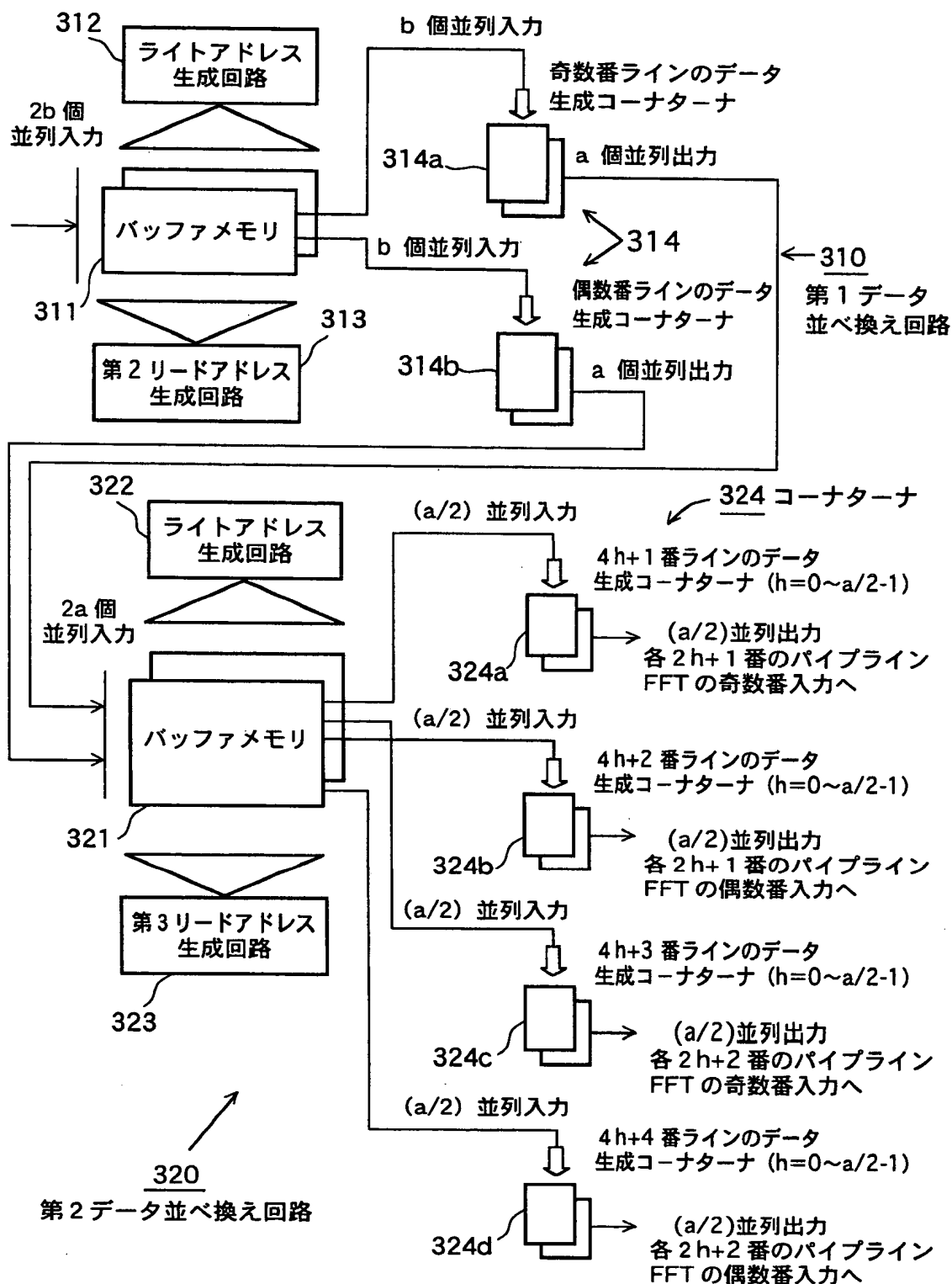
第1リードアドレス生成回路



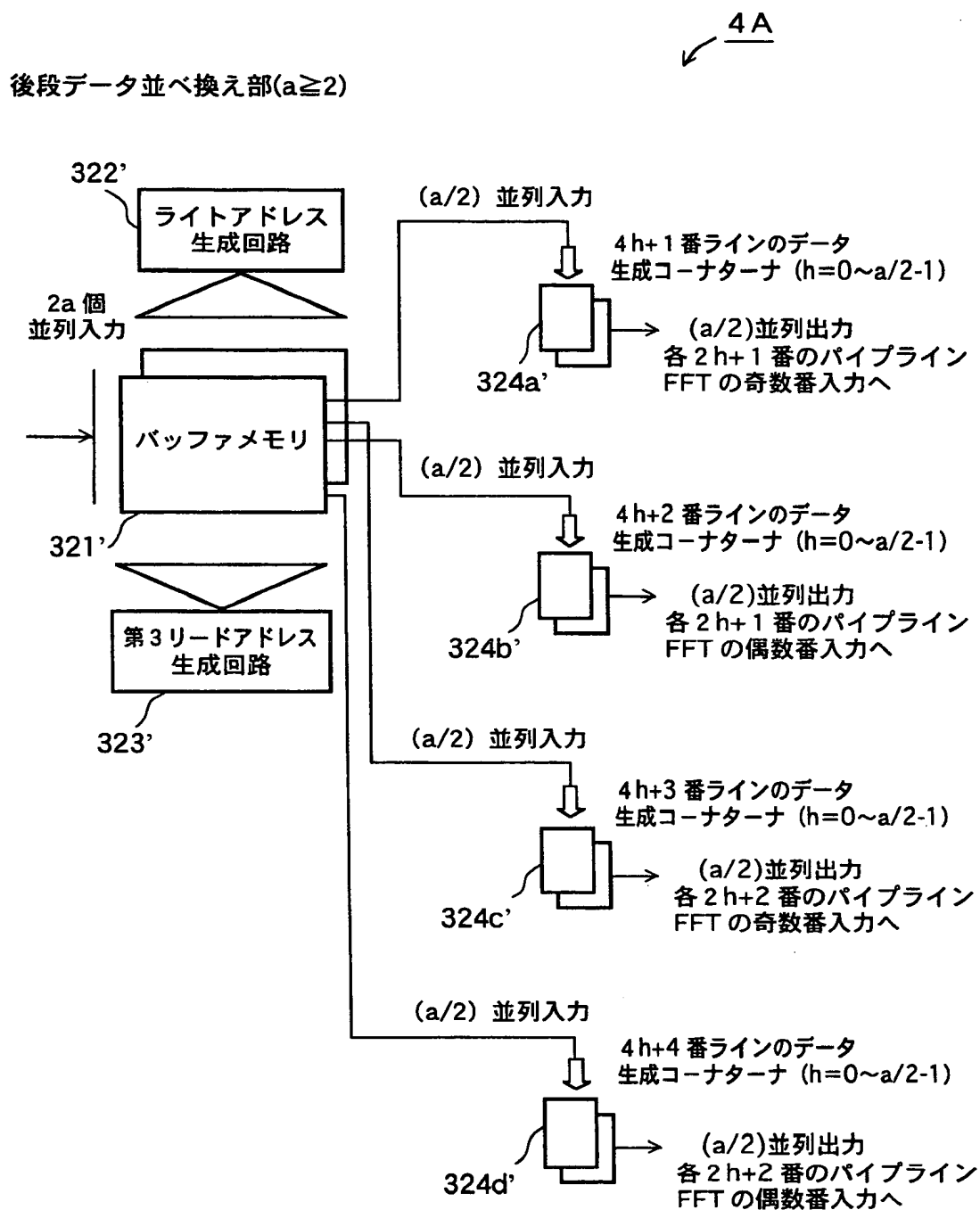
第4図

前段のデータ並べ換え部(方法2の $a \geq 2$ の例)

3B



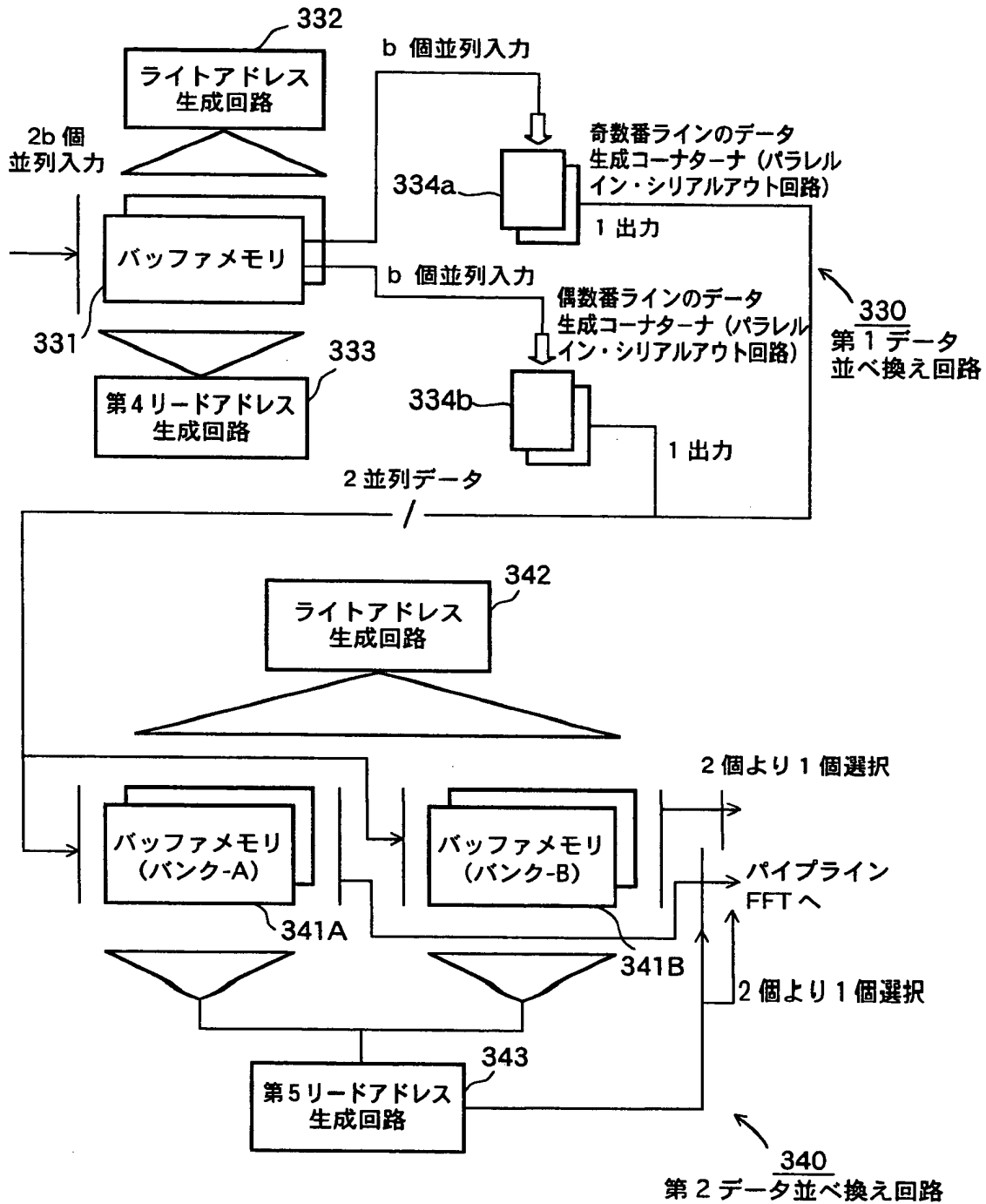
第 5 図



第 8 図

3C

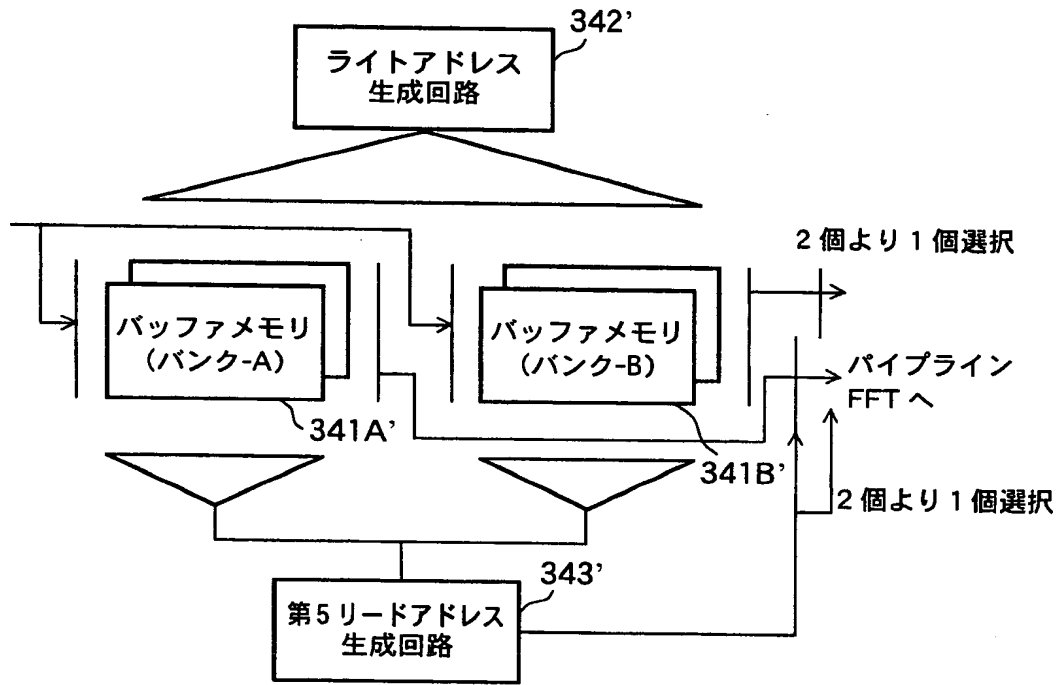
前段のデータ並べ換え部(方法 2 の $a=1$ の例)



第9図

後段のデータ並べ換え部 (a=1 の例)

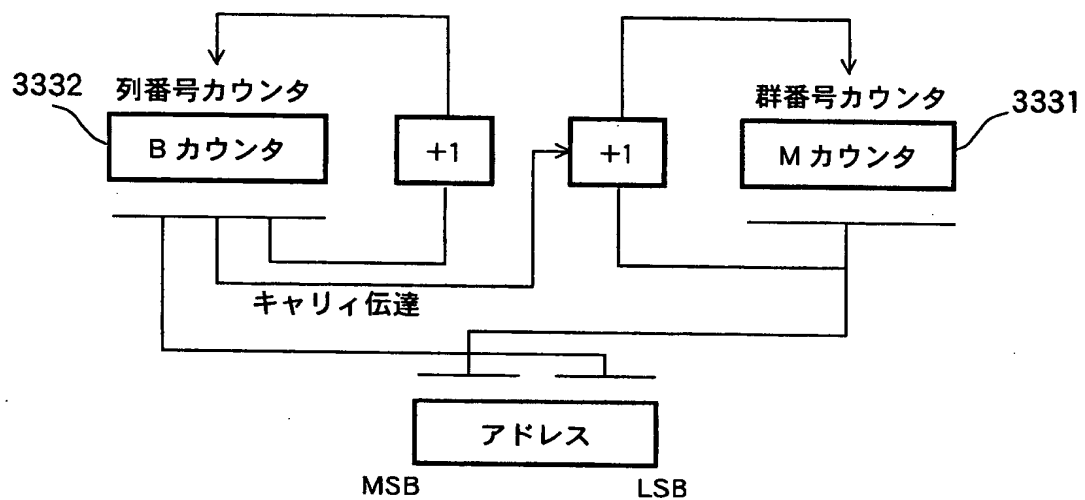
4B



第10図

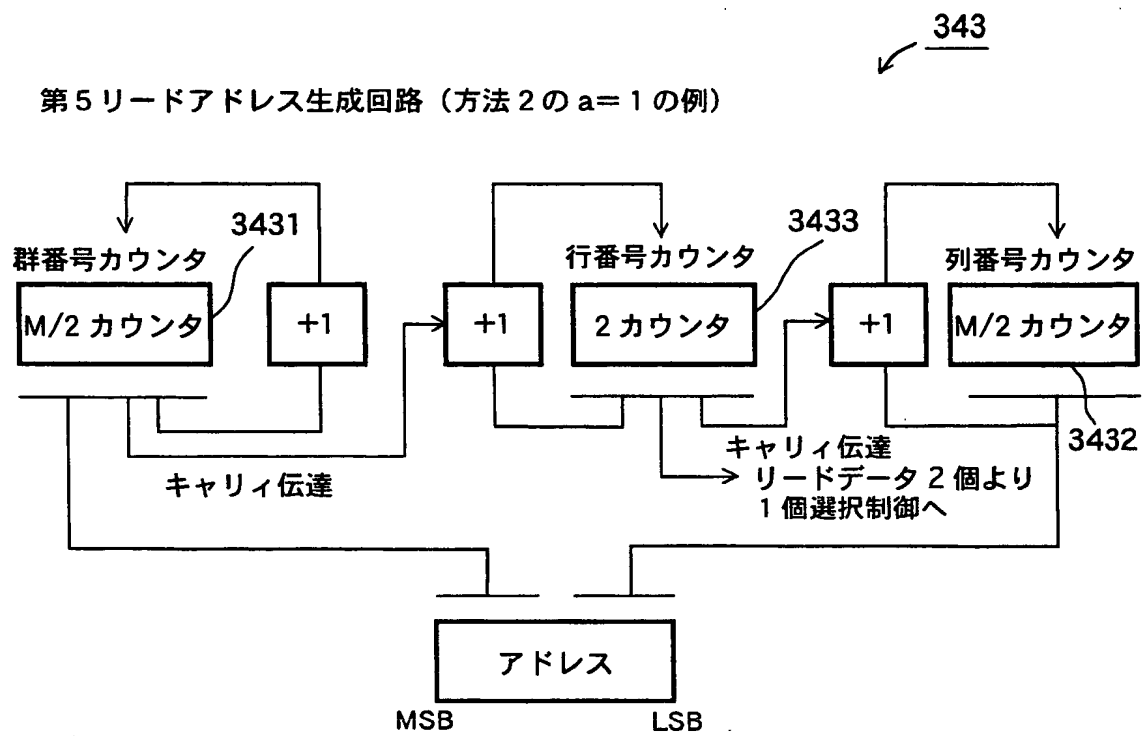
第4リードアドレス生成回路 (方法2の a=1 の例)

333



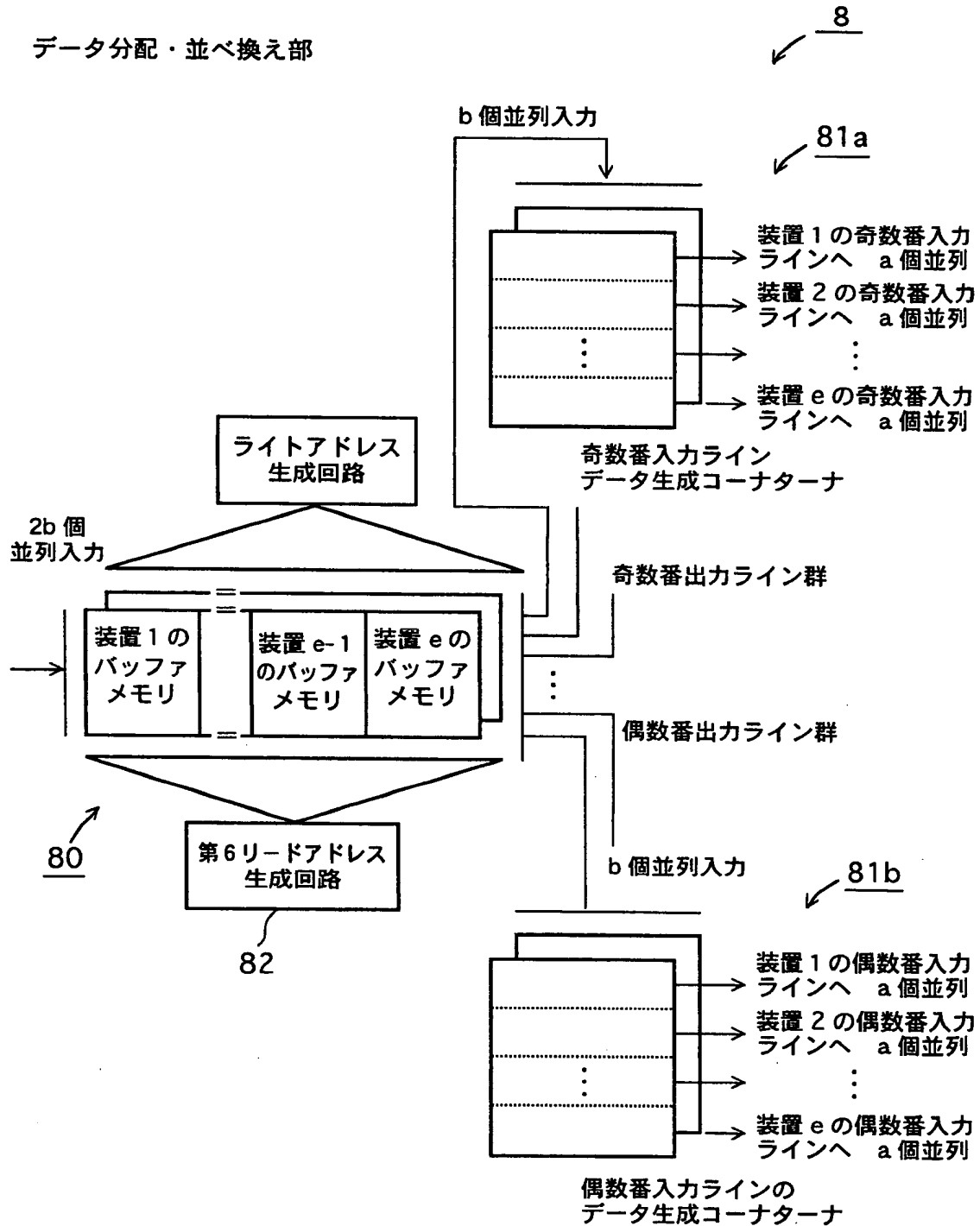
第 11 図

第5 リードアドレス生成回路（方法2の a=1 の例）



第 12 図

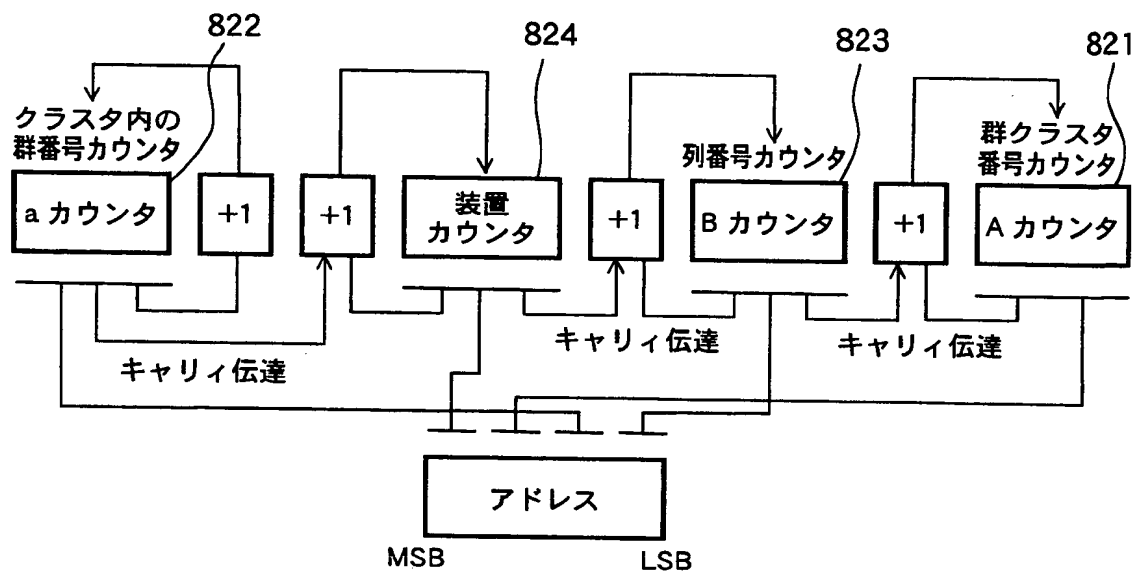
データ分配・並べ換え部



第 13 図

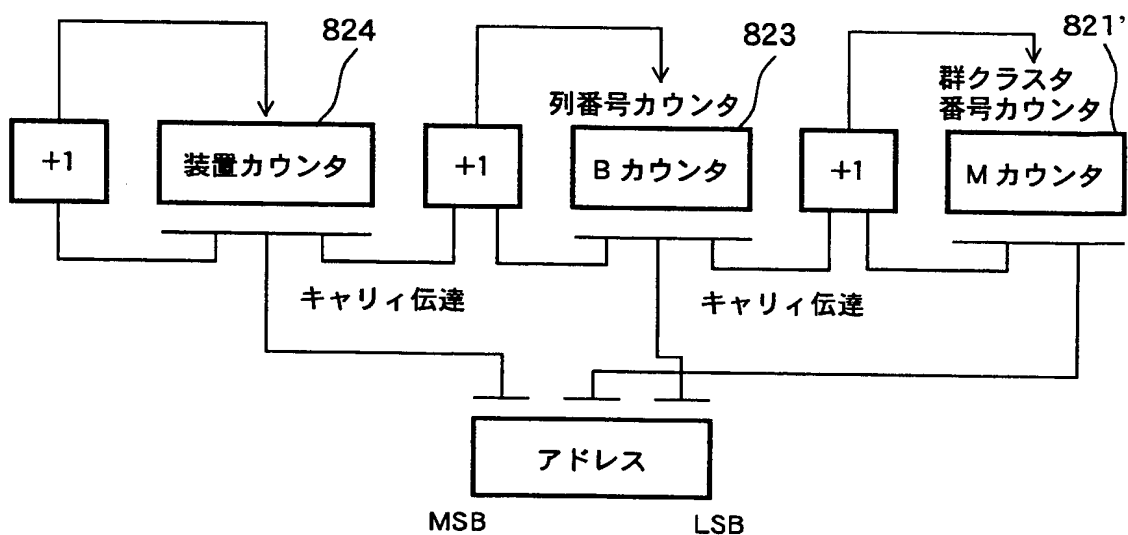
リードアドレス生成回路($a \geq 2$ の例)

82



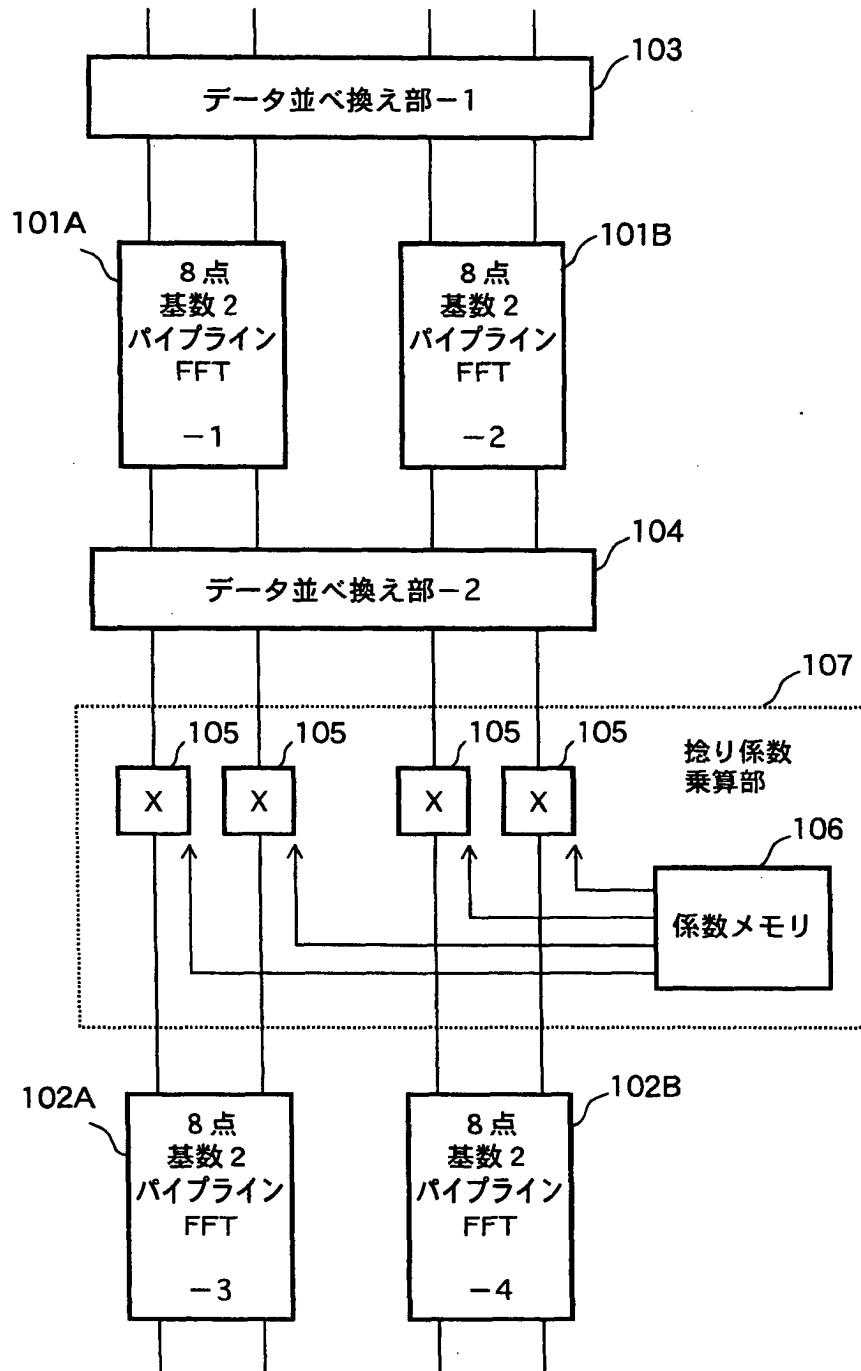
第 14 図

第 6 リードアドレス生成回路 (a=1 の例)

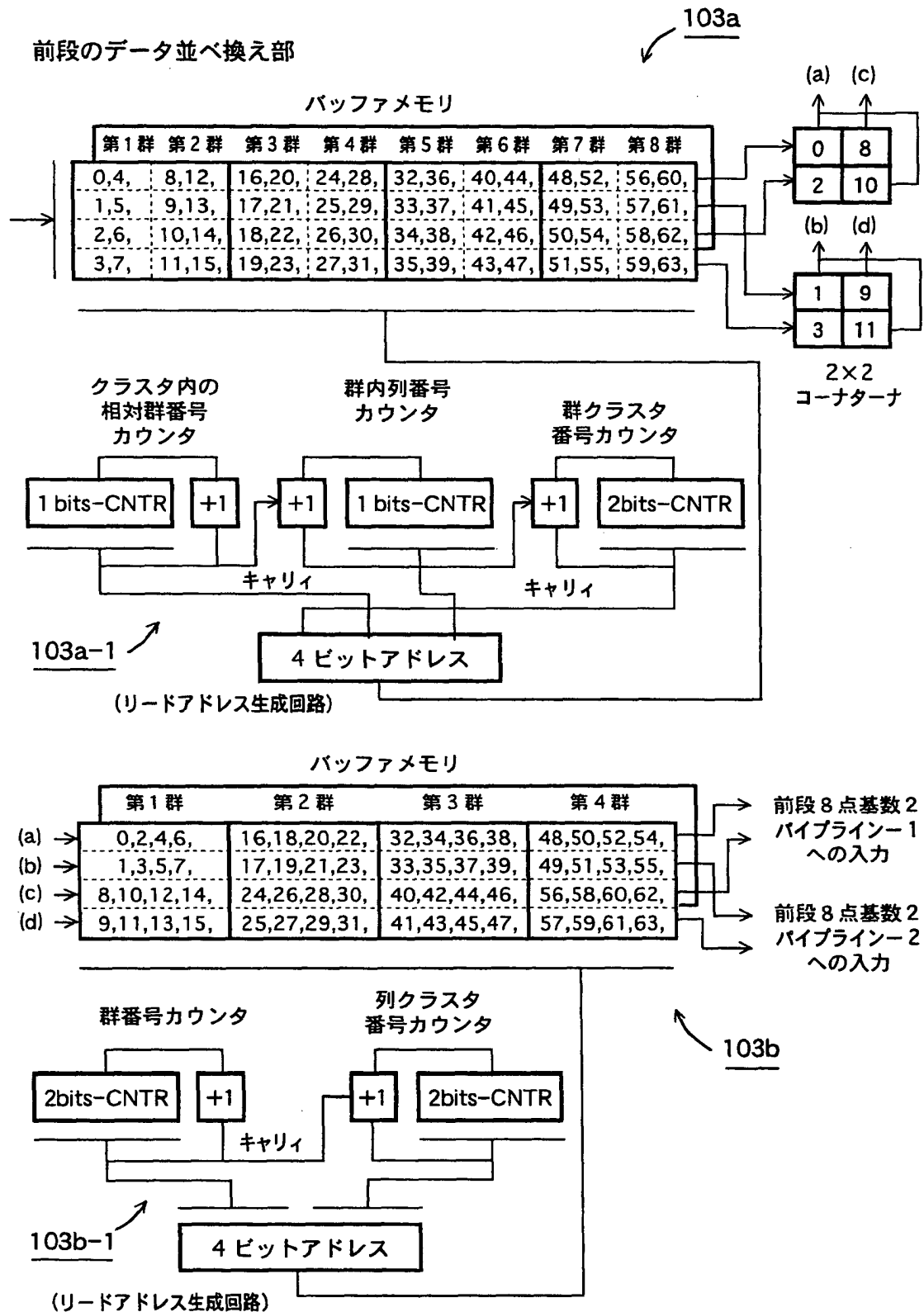


第 15 図

64 点 FFT



第 16 図



第 17 図

